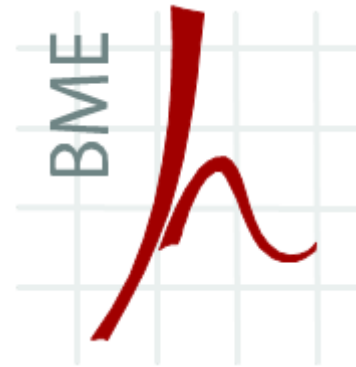




MEMÓRIA TECHNOLÓGIÁK

Számítógép-architektúrák *4. gyakorlat*

Dr. Lencse Gábor
tudományos főmunkatárs
BME Híradástechnikai Tanszék
lencse@hit.bme.hu



2011. október 3.,
Budapest

- Emlékeztető: mit kell már tudnom a memóriákról?
- SRAM és DRAM felépítése és ennek következményei
 - SRAM felépítése és működése
 - DRAM felépítése és működése
 - SRAM és DRAM összehasonlítása
- DRAM fejlődése
 - Aszinkron DRAM típusok
 - Szinkron DRAM típusok
 - Legfontosabb időzítések szinkron DRAM-oknál
- Memória modulok
- Feladatok
- Összefoglalás



EMLÉKEZTETŐ: MIT KELL MÁR TUDNOM A MEMÓRIÁKRÓL?

Emlékezető – ellenőrzés céljából

- Ismertnek tételezzük fel a alapvető memóriatípusokat, illesztési felületüket, műveleteket és azok idő diagramjait.
 - ROM (maszk programozott, PROM, EPROM): olvasás
 - SRAM: írás, olvasás
 - DRAM: írás, olvasás, frissítés
 - NVRAM: írás, olvasás, store, recall

Akinek hiányosságai vannak, olvassa el a róluk szóló részt a

Memória technológiák

anyag elején a weben található jegyzetben!

(<http://sites.google.com/site/szgarch>)

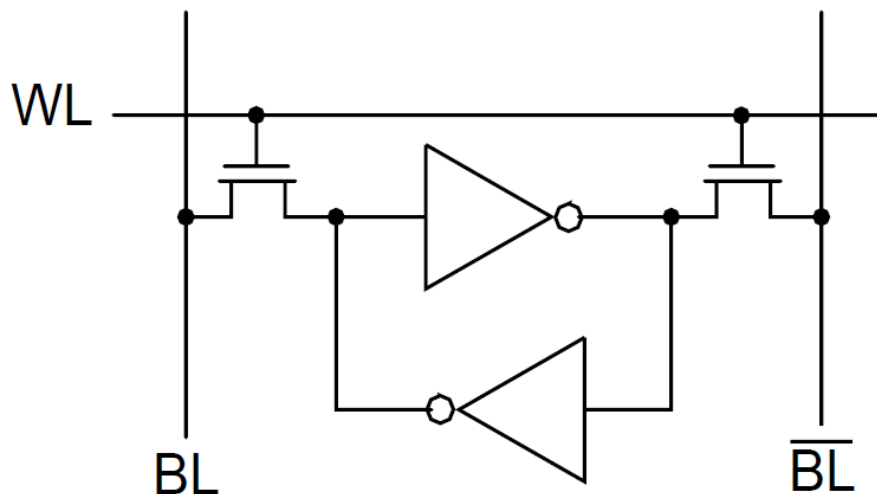


SRAM ÉS DRAM FELÉPÍTÉSE ÉS ENNEK KÖVETKEZMÉNYEI

Az SRAM egy cellájának felépítése – 1

- A statikus RAM egy cellája (ami egy bit tárolására képes) – logikai áramkörként tekintve – két keresztbe kötött inverterből áll:

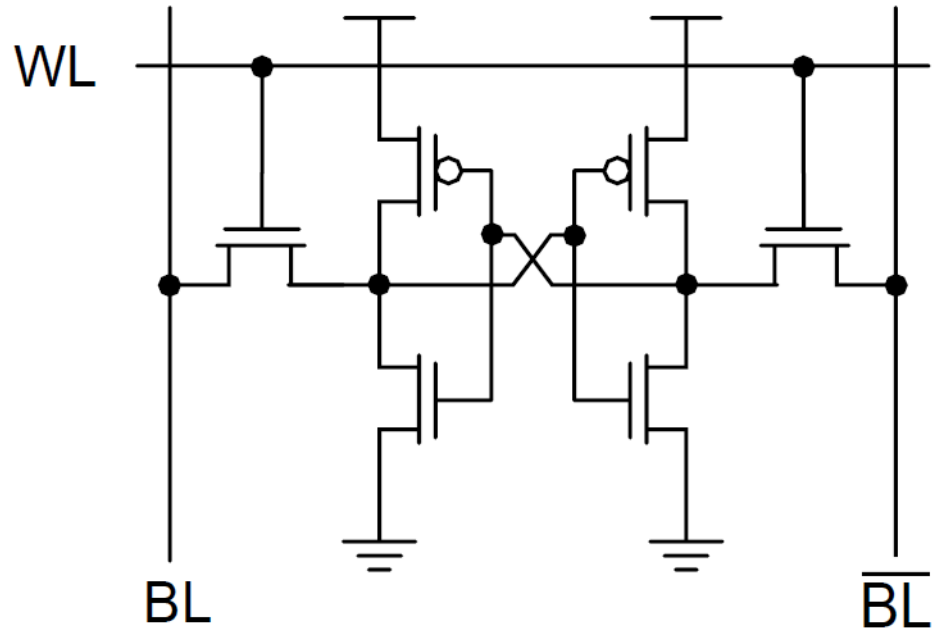
- az egyik inverter bemenete a bitet,
- a másiké annak inverzét tárolja.



- Ez az áramkör mindaddig képes megőrizni a bit értékét, amíg tápfeszültséggel ellátjuk.
- A cella kiolvasását és írását további két tranzisztorral valósítják meg, ezeket *hozzáférési* (access) tranzisztoroknak hívjuk.

Az SRAM egy cellájának felépítése – 2

- Mivel az inverterek megvalósításához is 2-2 tranzisztor szükséges, így cellánként összesen 6 tranzisztort használnak fel.



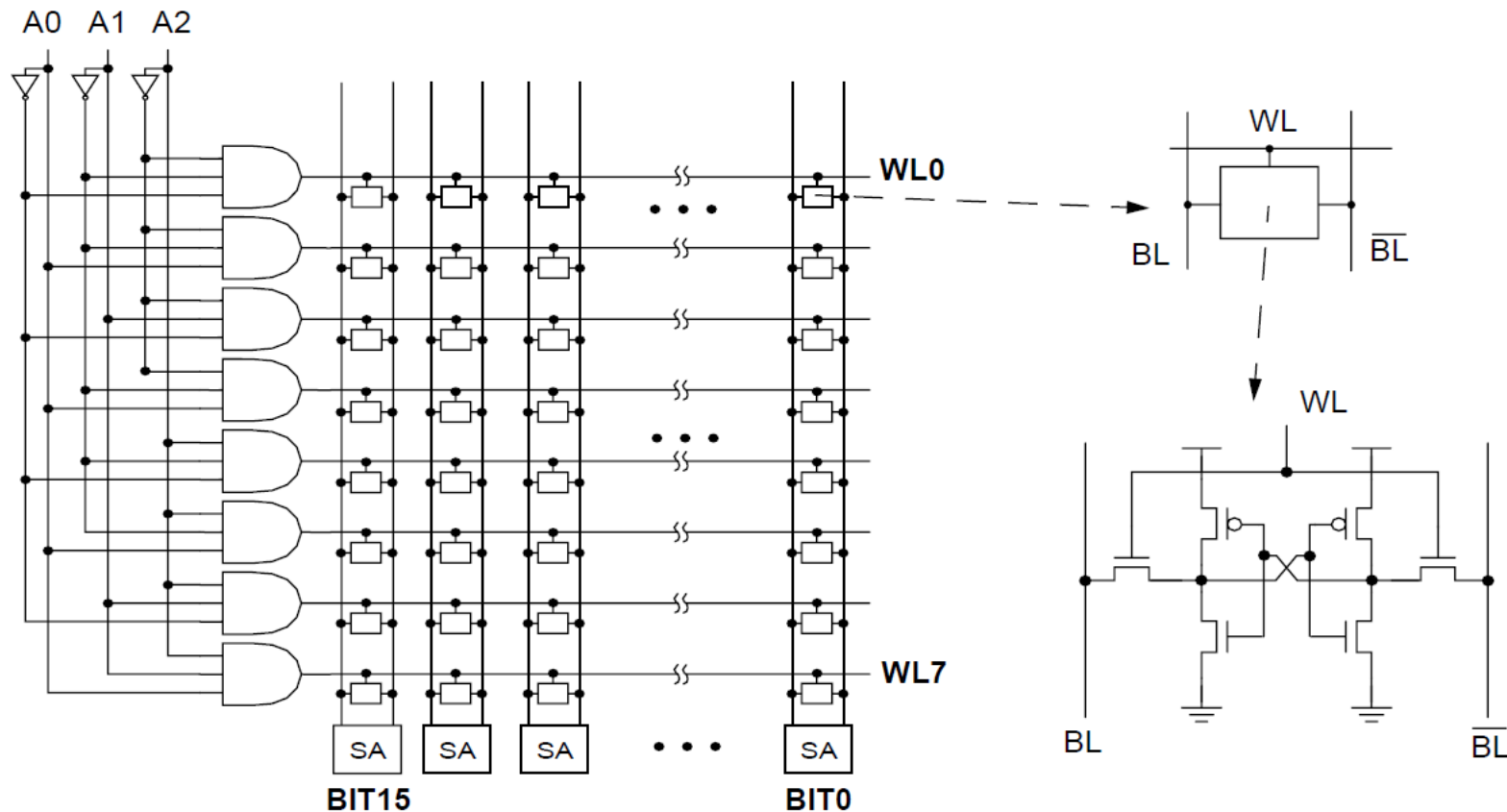
- Az ábrán WL (**W**ord **L**ine) a *szóvezeték*et, BL (**B**it **L**ine) a *bitvezeték*et jelenti.

Az SRAM felépítése – 1

- A cellákat mátrixba rendezik. Az egyszerűség kedvéért most a szószervezésű megoldással foglalkozunk; legyen a címbitek száma n , így a szavak száma $k=2^n$, a szavak szélessége pedig m bit, ekkor a mátrix k sorból és m oszlopból áll.
- A következő dián egyszerű példaként egy nagyon kis méretű memóriát látunk a következő értékekkel: címbitek száma $n=3$, dekódolt címvezetékek (az ábrán WL_0 - WL_7 szóvezetékek) száma $k=8$, a szószélesség $m=16$.
 - A bitmezőtől balra egy inverterekkel és ÉS kapukkal megvalósított 3/8-as dekódert látunk; a cellák tartalmát pedig a jobb oldalon kinagyítva és kirészletezve találjuk.

Az SRAM felépítése – 2

- Az érzékelő erősítőket SA-val (sense amplifier) jelöltük.
- A rajzon nem szerepelnek, de minden bitvezetékhez tartoznak még a *előfeszítő* (precharge) áramkörök is.



Az SRAM olvasása – 1

1. Az előfeszítő áramkörök a ponált és negált bitvezetékeket egyaránt logikai 1 szintre húzzák fel, majd a bitvezetékekről lekapcsolódnak. A bitvezetékek kapacitása miatt a bitvezetékek feszültség szintje megmarad.

(Ez azért hasznos, mert a celláknak könnyebb/gyorsabb egy bitvezetékét 0-ra lehúzni, mint 1-re felhúzni.)

1. Ha az i . memóriaszót szeretnénk kiolvasni ($0 \leq i < 2^n$), akkor a WL_i szóvezetékre logikai 1 értéket adunk.

(Ezt az ábrán a bitmezőtől balra található dekóderrel valósítjuk meg.)

Az SRAM olvasása – 2

3. Az i . memóriaszó összes bitjének hozzáférési tranzisztorain át a bitek értéke megjelenik a bitvezetékeken:
 - amelyik bit értéke $Q=1$, ott BL értéke 1 marad, /BL-t pedig 0-ra húzza le a bit inverze ($/Q$);
 - a $Q=0$ értékű bitnél pedig a helyzet éppen fordított.
3. Az érzékelő erősítők érzékelik BL és /BL különbségét, és a kimenetükön rendelkezésünkre áll az i . memóriaszó bitjeinek értéke.

(Minél érzékenyebbek, annál gyorsabb a kiolvasás.)

 - Az olvasás a kiolvasott memóriaszó értékét nem változtatja meg.
 - A bitek felismerését segíti (és gyorsítja), hogy nem abszolút jelszinteket, hanem BL és /BL különbségét kell felismerni.

Az SRAM írása – 1

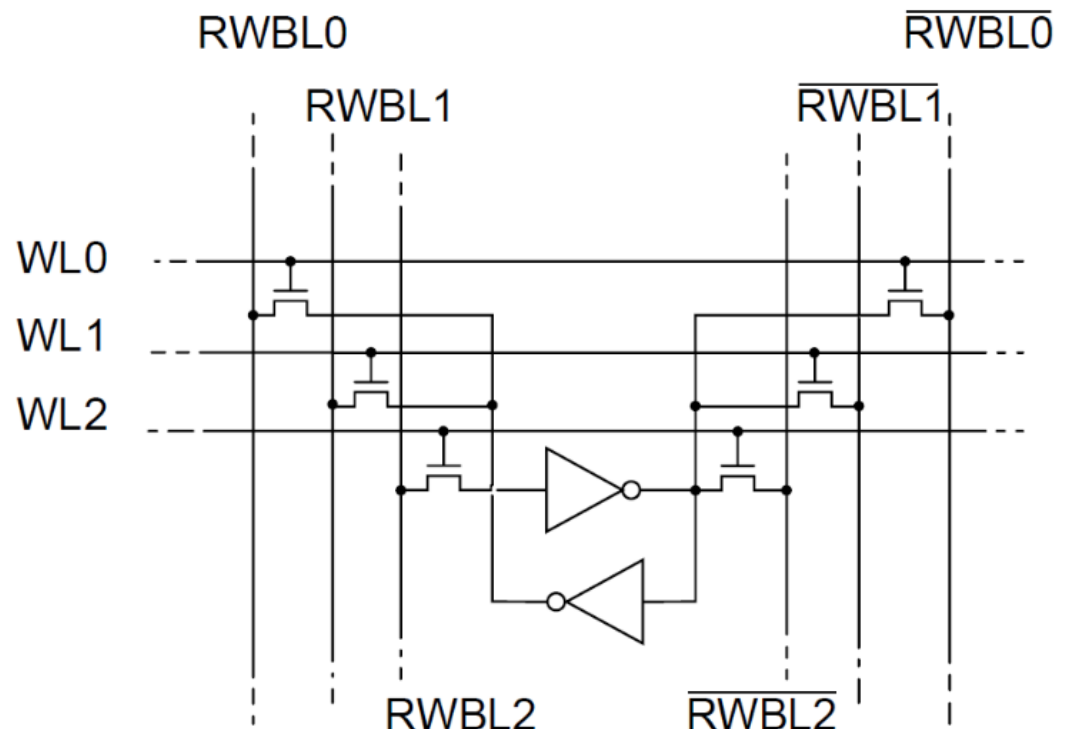
1. A ponált (BL) és negált (/BL) bitvezetékekre ráadjuk a beírandó bitek logikai értékének megfelelő feszültséget:
 - ha a j . bit értéke 1, akkor $BL_j=1$, $/BL_j=0$;
 - ha a j . bit értéke 0, akkor $BL_j=0$, $/BL_j=1$.
1. Ha az i . memóriaszót szeretnénk írni ($0 \leq i < 2^n$), akkor a WL_i szóvezetékre logikai 1 értéket adunk.
3. Az i . memóriaszó összes bitjének értéke a hozzáférési tranzisztorain keresztül felveszi a bitvezetékek által rákényszerített értéket, mivel a bitvezetékek meghajtó tranzisztorai erősebbek, mint a cellák tranzisztorai.

Az SRAM írása – 2

- A megfelelő működéshez természetesen a tranzisztorok megfelelő méretezésére van szükség.
- Az írásnál szintén fontos szerepe van a két bitvezetéknek: mindkét inverter bemenetét megfelelő szintre beállítva billentjük át a bistabil multivibrátort.

Több portos SRAM megvalósítása

- Amennyiben több portos memóriát szeretnénk (ha egyidejűleg több eszköznek hozzá kell férnie), akkor a hozzáférési tranzisztorok száma nő: portonként egy pár tranzisztorra van szükség.
- Tehát például 3 db írásra és olvasásra egyaránt használható port esetén $4 + 3 \times 2 = 10$ tranzisztorra van szükség, és egy cella a így néz ki:



Az SRAM makrostruktúrája – 1

- Az SRAM struktúrájának bemutatásakor szószervezést használtunk. Ez komoly probléma, hiszen például egy kifejezetten kis kapacitásúnak számító 8kB-os SRAM esetén a címbitek száma $n=13$, a szóvezetékek (más néven dekódolt címvezetékek) száma $k=2^{13}=8192$, míg a szószélesség $m=8$; tehát a bitmező 8192 sorból és 8 oszlopból áll, ami meglehetősen aránytalan.

Az SRAM makrostruktúrája – 2

- Erre a problémára viszonylag kis méret esetén elégséges megoldás lehet a *bitszervezés*, ahol a címbitek felét sorcímként, a másik felét oszlopcímként használjuk és a dekódolt címvezetékek metszéspontjában egy-egy ÉS kapuval engedélyezzük a cellát, de mivel ez bitenként egy-egy ÉS kaput igényelne, ezért a gyakorlatban a *módosított bitszervezést* szokták használni, ahol *sor dekódert* és *oszlop multiplexert* alkalmaznak.
- Ezt a megoldást a DRAM struktúrájánál fogjuk bemutatni.

Az SRAM makrostruktúrája – 3

- Bizonyos méret felett azonban nem egyetlen bitmezővel, hanem hierarchikus felépítésű struktúrával valósítják meg az SRAM-ot (és a DRAM-ot is).

Az SRAM interfész lehetőségei – 1

- Szinkronizációs szempontból az SRAM-nak kétféle interfésze lehet:
 - Aszinkron interfész
 - Szinkron interfész

- Aszinkron interfész
 - Az első gyakorlaton bemutatott illesztési felület aszinkron: órajeltől függetlenül, a /CE, /OE, /WE jelekkel vezérelve, a lehető legrövidebb időn belül teljesíti a kapott parancsot.
 - Amennyiben az SRAM-ot mikroprocesszorhoz (vagy mikrokontrollerhez) illesztve operatív tárként használjuk, ez az interfész a szokásos megoldás.

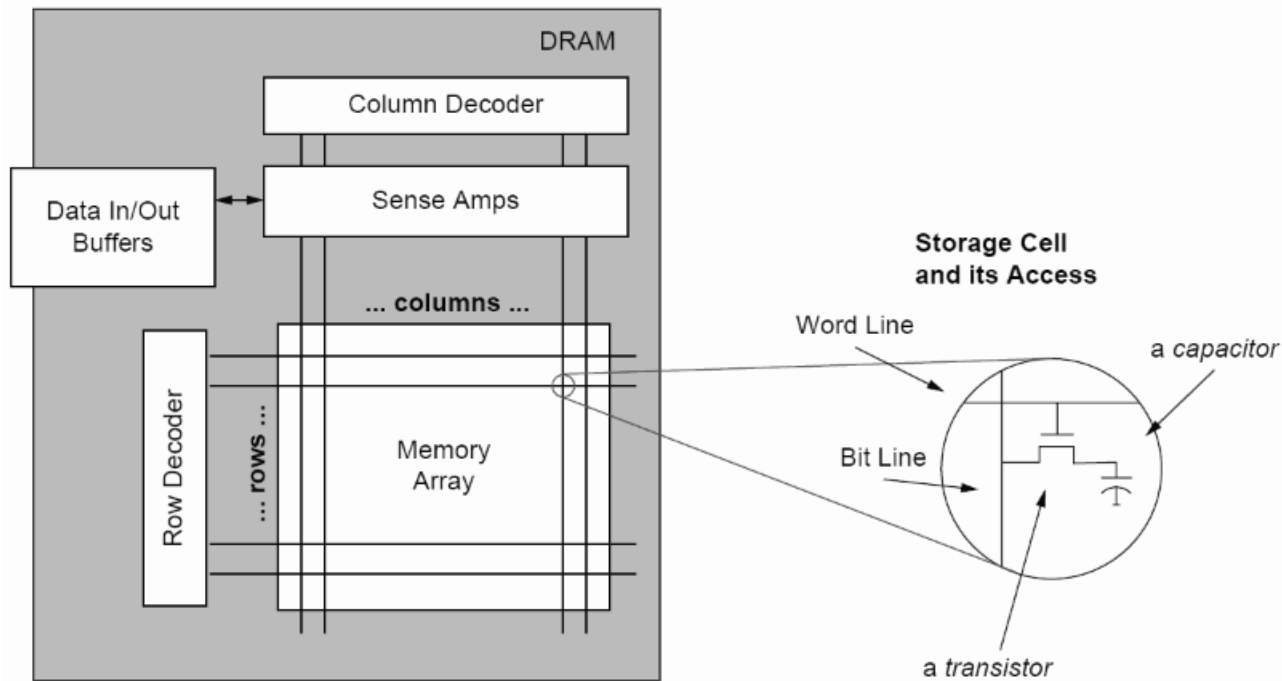
Az SRAM interfész lehetőségei – 2

▪ Szinkron interfész

- A szinkron interfésznél a korábban bemutatott illesztési felület kiegészül még egy (esetleg két) órajel bemenettel (CLK).
- Ez a megoldás lehetővé teszi, hogy az átvitel *pipelined burst mode*ban történjen: például olvasáskor nemcsak a megadott címről, hanem a rákövetkező bizonyos számú címről is megtörténik a kiolvasás, és az egymást követő memóriarekeszekből való olvasás és a CPU felé való átvitel egyes fázisai egymással átlapolódnak.
- Ezt a megoldást cache esetén szokták használni, hiszen így egy teljes cache sort igen hatékonyan át lehet vinni.

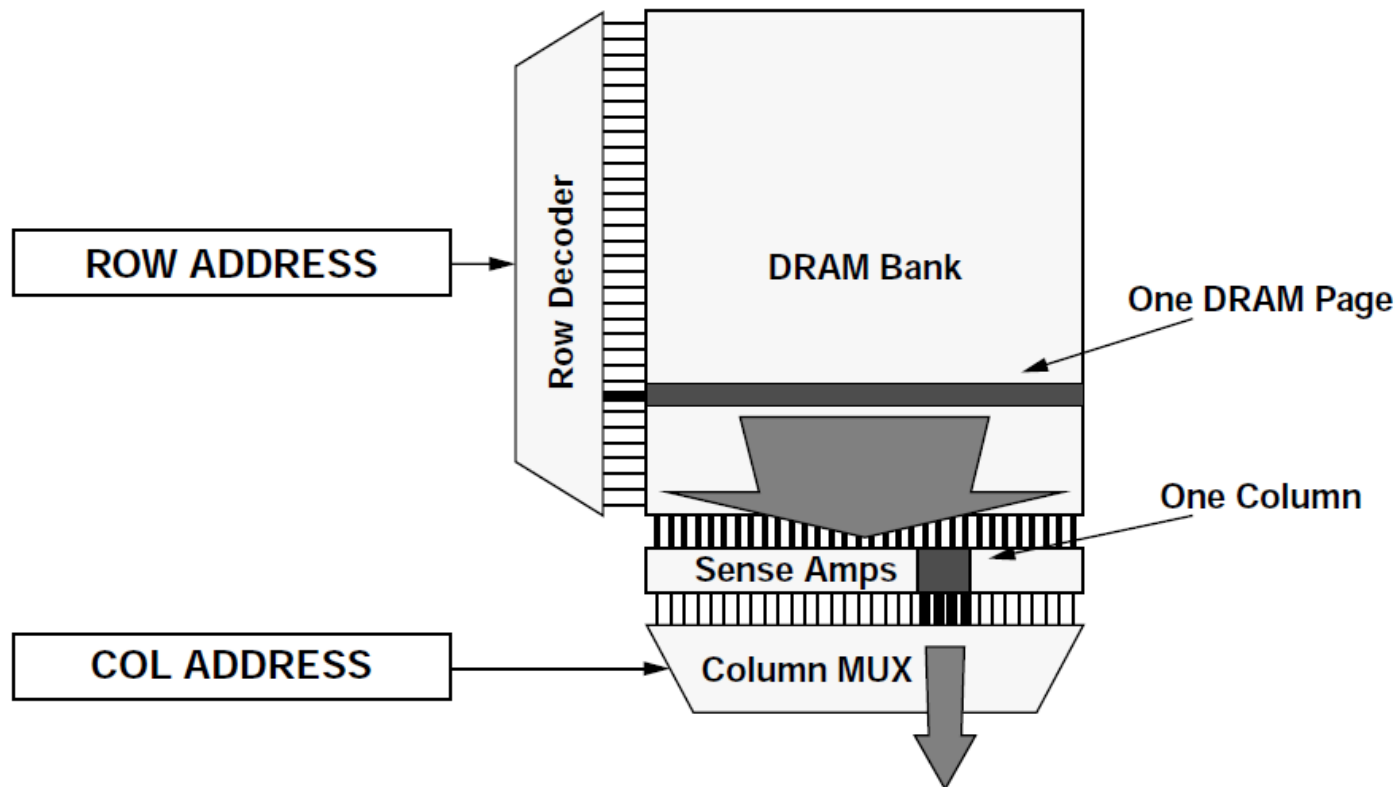
A DRAM felépítése – 1

- A dinamikus RAM egy cellája (ami egy bit tárolására képes) logikailag egy tranzisztorból és egy kondenzátorból áll.
- A cellákat mátrixba rendezik; egy adott bitet a sor- és oszlopszáma azonosít.



A DRAM felépítése – 2

- A cellákból egyszerre mindig egy sort lehet kezelni, ezt a sorcím alapján a sor dekóder választja ki; a sor bitjei közül pedig szükség esetén az oszlop multiplexerrel választunk. (Ezt módosított bit szervezésnek hívják.)



A DRAM olvasása – 1

1. Az SRAM-hoz hasonlóan a bitvezetékeket itt is előfeszítjük, de az SRAM-mal ellentétben nem logikai 1-re, hanem csak a logikai 0 és 1 szintje közé "félútra".
2. A sorcím által kijelölt dekódolt sorvezetésekre (a bevezető ábrán Word Line néven szerepel) logikai 1-et adunk, ennek hatására a kiválasztott sor tranzisztorai összekapcsolják a kondenzátorokat a hozzájuk tartozó bitvezetékkel, így a kondenzátor töltése módosítja a bitvezeték feszültség szintjét.
 - Az olvasás az SRAM-mal ellentétben destruktív!

3. Az érzékelő erősítők érzékelik a feszültségnek az előfeszített szinthez képest való eltérését, majd előállítják a korrekt logikai szintet, ami a kondenzátorokba vissza is íródik.
 - Így regeneráljuk a tönkretett tartalmat.
 - Amíg a /RAS jel alacsony szintje fennáll, a kiválasztott sor *aktív* állapota fennmarad. Angolul úgy fejezik ki, hogy "the page is open".
3. Az oszlop multiplexer az oszlopcím alapján kiválasztja a kért bitet és az megjelenik a DRAM kimenetén.
4. A /RAS jel felfutó élének hatására a sor aktív állapota megszűnik.

A DRAM adatszélessége

- A kívánt adatszélesség elérésére többféle módunk van.
 - Lehet tokonként csak egy bitet kezelni és egy memória modulra a kívánt számú DRAM tokot rátenni.
 - Lehet DRAM tokonként több bitet is kezelni;
 - akár úgy, hogy egymással párhuzamosan működtetünk több bitmezőt,
 - de úgy is, hogy egy oszlopcím hatására egymás mellett több bitet (pl. 4-et) választunk ki.

A DRAM írása

1. A sorcímmel kiválasztott sor aktiválása ugyanúgy történik, mint olvasás esetén (lásd ott: 1-3. lépések).
2. Az oszlopcímmel kiválasztott bit értékét az érzékelő erősítőre az adatbemeneten kapott értéknek megfelelően "rákényszerítjük".
3. Az egész sor visszaíródik (frissül), benne az oszlopcímmel kiválasztott bit az új értéket veszi fel.
4. A /RAS jel felfutó élének hatására a sor aktív állapota megszűnik.

A DRAM frissítése – klasszikus

- Az eredeti megoldás szerint (amikor a DRAM lényegében semmi támogatást sem ad a frissítéshez) a frissítés az olvasás 1-3. és 5. lépésével történik.
- Az olvasáshoz képest a 4. lépés azért marad el, mert a $/RAS=0$ tartama alatt nincs $/CAS=0$.
- Ehhez a megoldáshoz szükséges, hogy a DRAM kívülről megkapja a frissítendő sor címét.
 - A címet az egyszerű, 8 bites gépek idején tipikusan a CPU-nak kellett előállítania; ehhez egy számlálót használt, amiben nyilvántartotta, hogy éppen melyik sor frissítése következik. Adott időközönként egy megszakítási rutin elvégezte a következő esedékes sor frissítését.
 - Később a frissítés memória vezérlő feladata lett.

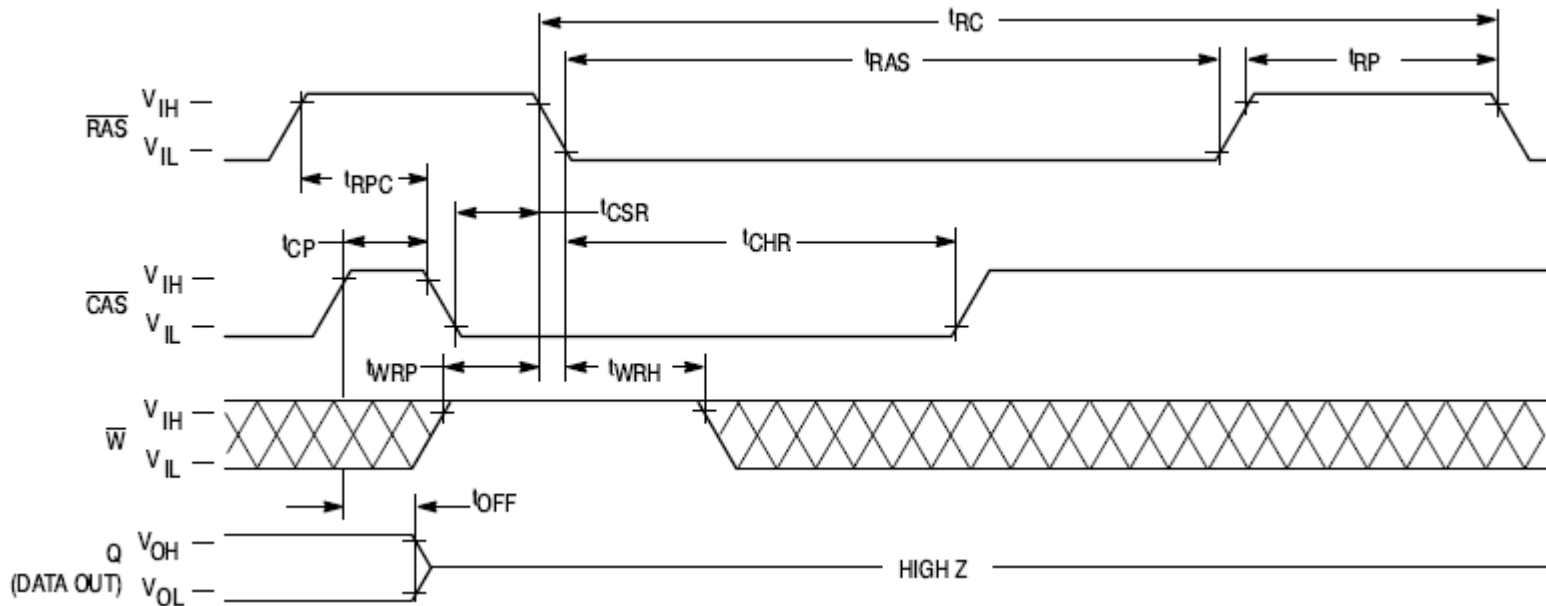
A DRAM frissítése – korszerű – 1

- DRAM chipeket kiegészítették egy számlálóval, ami nyilvántartja, hogy melyik sort kell frissíteni, és a frissítés protokollját is módosították:
 - Amennyiben a /CAS jel szintje 0 lesz még a /RAS jel 0 szintje előtt, majd ezt követi a /RAS=0, akkor ez (a korábban illegális eset) azt jelenti, hogy a kapott címet figyelmen kívül hagyva, a DRAM-nak a belső számlálója szerinti sort kell frissítenie.
 - Ilyenkor természetesen növeli is a számláló értékét.

Ezt *CBR frissítésnek* (CAS-before-RAS refresh) nevezik.

A DRAM frissítése – korszerű – 2

- Az alábbi ábra egy katalógusból származik, pusztán a CBR frissítés illusztrációjának szánjuk, az egyes időzítésekkel most nem foglalkozunk.



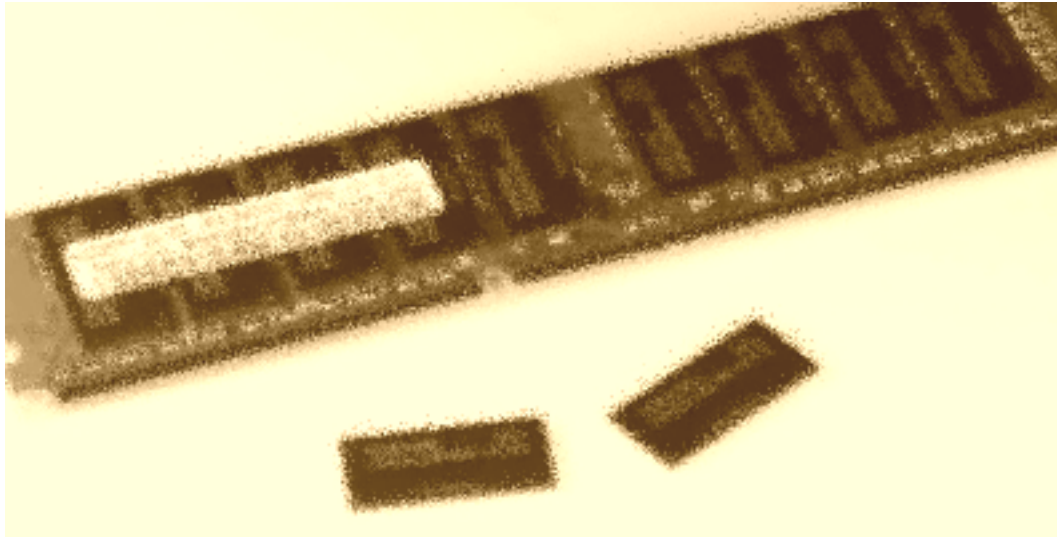
- Költség szempontjából
 - Mivel egy SRAM cella 6 tranzisztorból áll, egy DRAM cella pedig egy tranzisztorból és egy kondenzátorból, ráadásul az SRAM-nál bitenként két bitvezeték van, a DRAM-nál pedig csak egy, ezért adott méretű lapkán DRAM esetén több (6-8x annyi) bit fér el, következésképpen olcsóbb.
 - Szintén az olcsóságot segíti elő, hogy DRAM-nál a címet két részletben viszik át, ami csökkenti a tok lábszámát, de a DRAM fent megismert működése miatt további lassulást nem okoz.

- Sebesség szempontjából
 - Működési sebességet tekintve azonban az SRAM nyer, ennek oka szintén a belső felépítésében keresendő: a bistabil multivibrátor állapota gyorsabban érzékelhető (néhány ns), mint a kondenzátor csekélyke töltésének állapota (néhányszor 10ns).
- Felhasználás egyszerűsége szempontjából
 - Az illesztés is SRAM esetén kényelmesebb: a cím egyben kezelhető; ráadásul frissítésre sincs szükség.

- Célszerű felhasználási terület szempontjából
 - A fentiekből következően számítógépek operatív memóriája céljára DRAM-ot használnak.
 - Az SRAM-ot cache céljára és (cache nélküli) kis rendszerek operatív memóriájaként is alkalmazzák.
 - A CPU és az SRAM azonos technológiával gyártható, ezért azokat könnyű egy lapkára integrálni (belső cache), míg a DRAM gyártási technológiája eltérő.

Elvi korlát az elérési időre

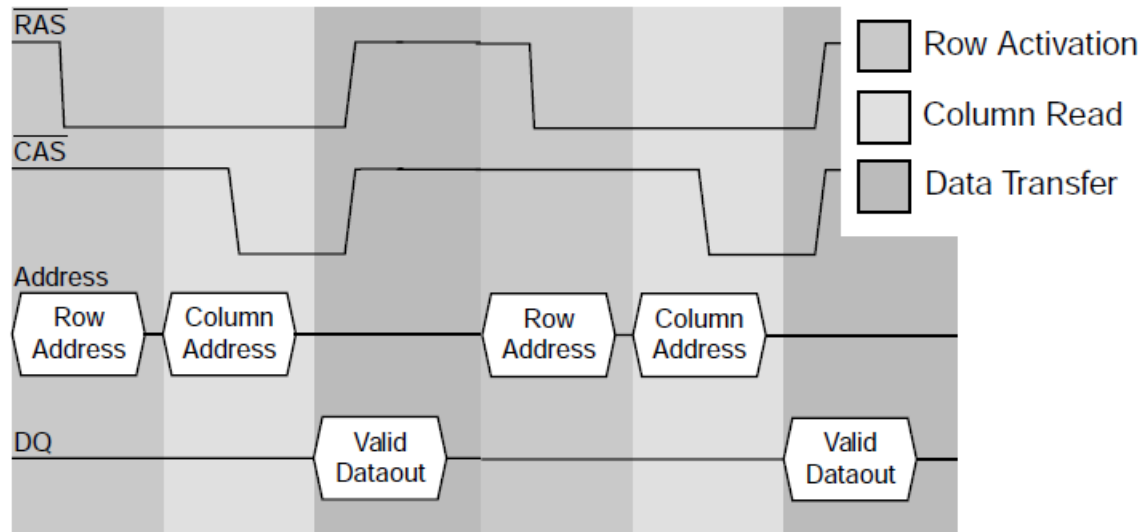
- Felmerül a kérdés, hogy ha az SRAM és DRAM közötti sebességkülönbség oka a technológiában keresendő, akkor miért van értelme több szintű cache alkalmazásának - különösen akkor, ha ezek mindegyikét a CPU-val azonos lapkára integrálják.
- A válasz nagyon egyszerű: a jelterjedési késleltetés miatt. A biteket tároló cellákat (akár egy, akár több bitmezőt használunk is) lényegében mindenképpen két dimenzióban kell elrendeznünk, így a befoglaló négyzet oldala a bitszám (azaz a memóriakapacitás) négyzetgyökével arányos: így ha például a cache kapacitását két nagyságrenddel növeljük, akkor a jelterjedési késleltetés egy nagyságrenddel nő.



A DRAM FEJLŐDÉSE

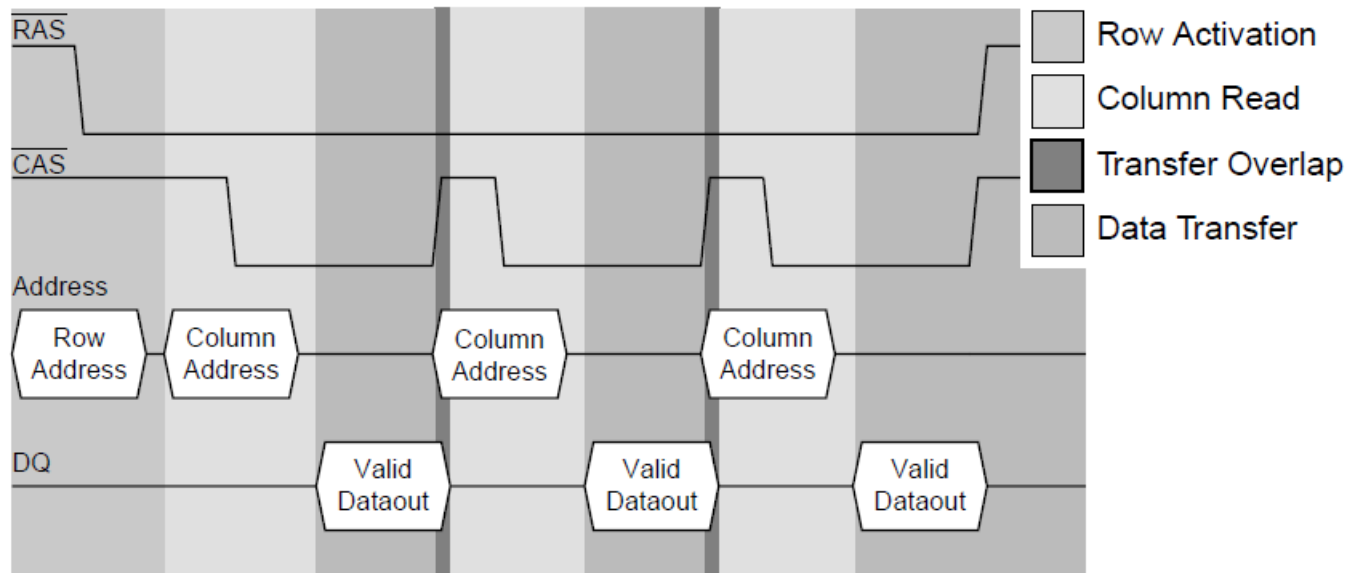
A klasszikus aszinkron DRAM

- Teljesítményének fokozására több, általában egymásra épülő megoldás is született, a továbbiakban ezeket vesszük sorra. Összehasonlítási alapként tekintsük az alábbi ábrát; itt minden olvasásánál újra és újra meg kell adni először a sorcímet, majd az oszlopcímet.



- A DRAM olvasásának átlagos ideje lerövidíthető, ha megengedjük, hogy azonos sorcímről történő olvasás esetén a /RAS jel alacsonyan tartása mellett, csupán a CAS jellel vezérelve egymás után több oszlopcímről is olvashassunk.
- Láttuk, hogy amíg a /RAS=0 fennáll, a sorcím által kiválasztott sor összes bitje elérhető az érzékelő erősítőkből, tehát csak ki kell választani közülük a számunkra még szükséges további biteket.
- Ezt a megoldást (gyors) *lapolvasásnak* (**F**ast **P**age **M**ode) nevezzük; az azonos sorcímhez tartozó oszlopokat egy memória "lap"-nak tekintjük.

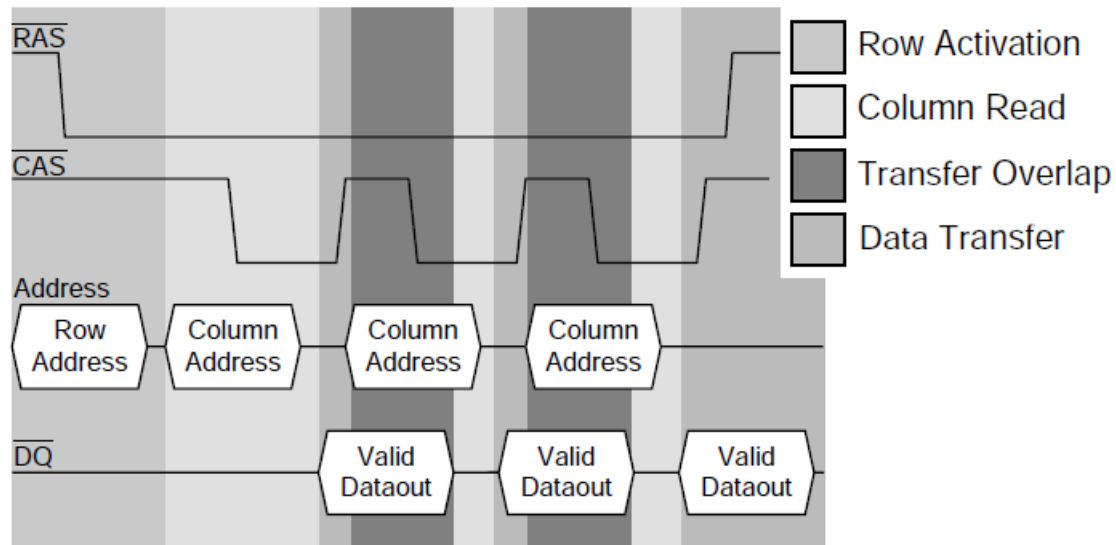
- Figyeljük meg a megoldás nyereségét az alábbi ábrán!
 - A sorcímet laponként egyszer elegendő átvinni.
 - Apró átlapolás is megfigyelhető az érvényes adat és az új oszlopcím átvitelénél, de ennek mértéke nem jelentős.



EDO DRAM – 1

- A következő lépés az EDO (**E**xtended **D**ata **O**ut) DRAM, ami az FPM DRAM kiegészítése egy kimeneti latch-csel; így az adat kívülről még elérhető marad, miközben már új oszlopcímet adunk meg. Ezzel igen jelentős átlapolás érhető el a bitmezőből kiolvasott adat átvitele és az új oszlopcím megadása között.
- Megjegyzés: Az EDO DRAM-nál bevezették az /OE bemenetet, a CPU (vagy memória vezérlő) ezzel tudja jelezni, hogy meddig van szüksége az adatra.

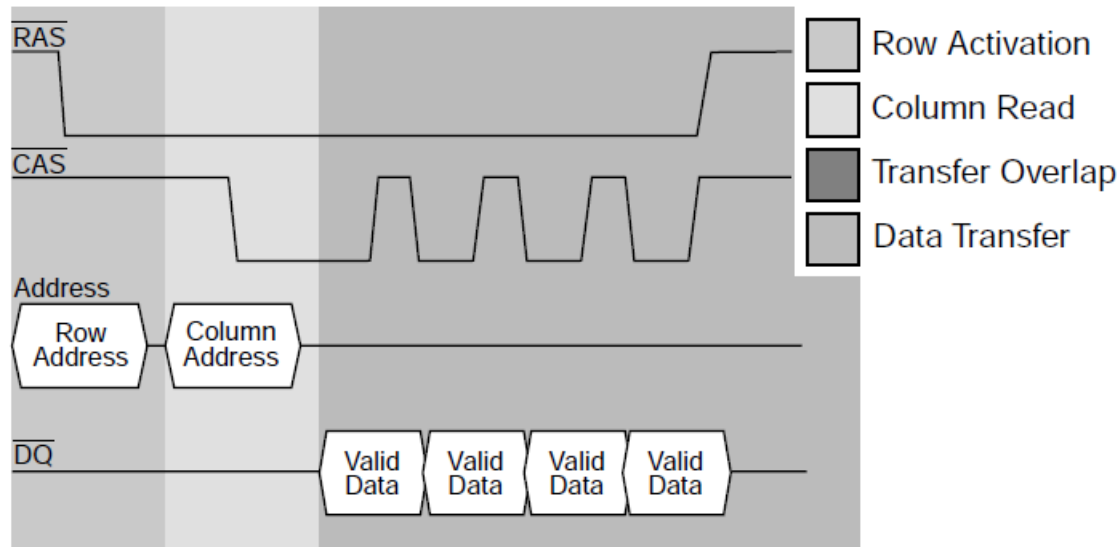
- Figyeljük meg az átlapolást az érvényes adat és az új oszlop cím átvitele között!



BEDO DRAM – 1

- Ismét egy újabb lépés a BEDO (**B**urst-Mode **ED**O) DRAM, ahol már nem is kell megadni az új oszlopcímet, hanem az oszlopcímet egy belső számláló egyesével növeli a kezdeti értékről.
- Így természetesen csak egymást követő címek érhetők el, de a gyakorlatban úgyis ez a szokásos eljárás.
- (Ez a megoldás is kifejezetten hasznos, de kevésbé terjedt el.)

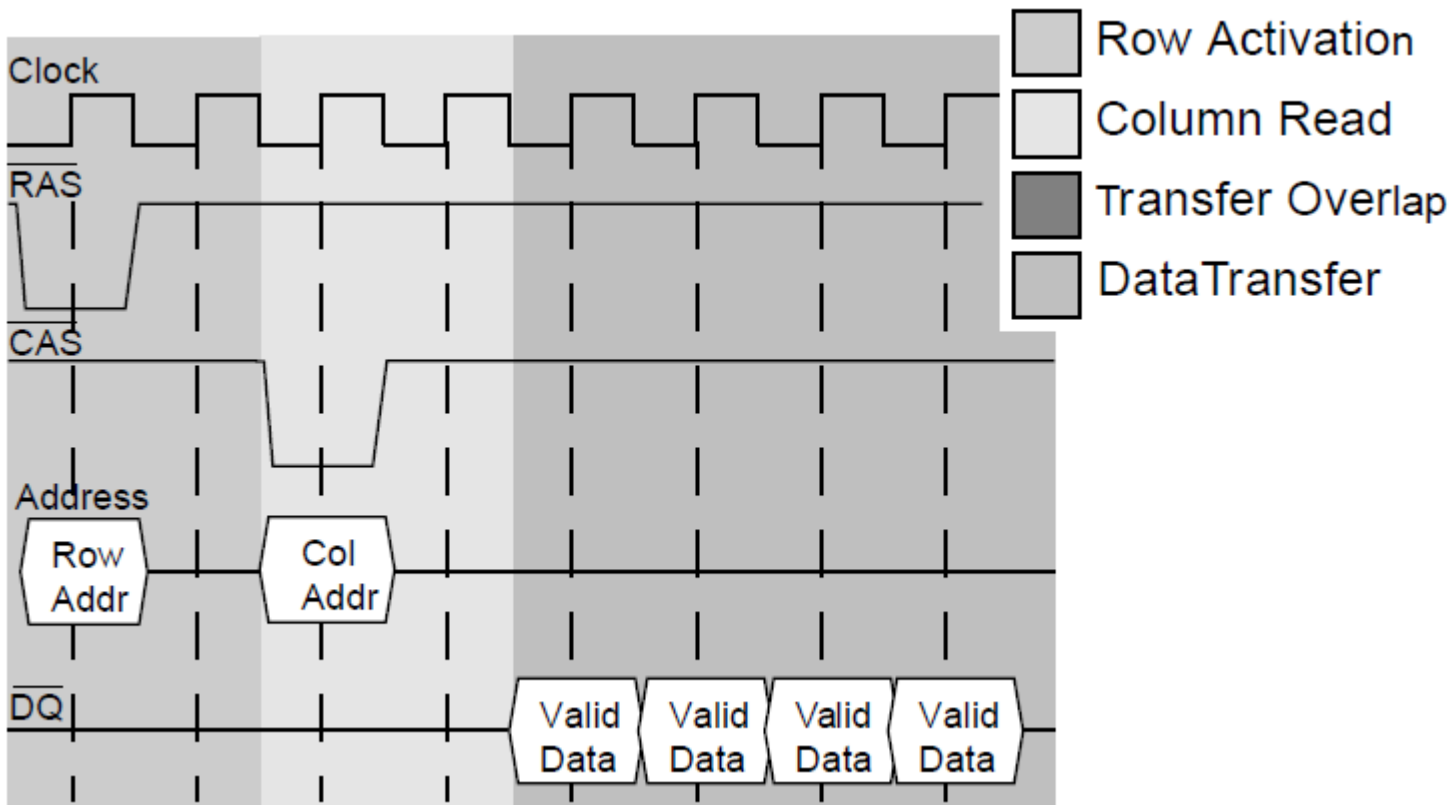
- Figyeljük meg, hogy az időegységenként átvitt adatok mennyisége tovább nő!



- Az SDRAM (**S**ynchronous **DRAM**) egy igen jelentős fejlődési lépés. Míg korábban a /CAS és /RAS bemenetek értéke tetszőleges időpontban változhatott, és azok közvetlenül vezérelték a DRAM belső működését, addig az SDRAM-ban minden bemeneti változás egy külső órajellel szinkronizáltan történik.
- Ez azért előnyös, mert az SDRAM tervezői így kihasználhatják, hogy az IC nem akármikor, hanem csak előre meghatározott időpontokban kaphat valamilyen parancsot.

- A BEDO DRAM-hoz hasonlóan az SDRAM is képes automatikusan növekvő oszlopcímekről egymás után több adat átvitelére (burst), de attól eltérően itt már ezt nem kell a /CAS jellel újra és újra igényelni, hanem az adatok megjelenítése az órajel ütemére történik, és az SDRAM-ban van egy programozható regiszter, amiben az egymás után átvihető adatok számát be lehet állítani (például a cache sor hosszának függvényében).
- Bár az SDRAM megjelenésekor teljesítményében nem volt jobb a BEDO DRAM-nál, hosszú távon nyertes lett, mert a szinkronizált működés egyre nagyobb működési frekvenciát tett lehetővé.

- Figyeljük meg, hogy az órajellel ütemezetten az újabb adatok megjelennek a kimeneten – minden további kérés nélkül!



- A további, ma is általánosan elterjedt típusok mind az SDRAM továbbfejlesztett változatai, ezeket röviden áttekintjük, de előbb megismerjük a legfontosabb időzítéseket.
- Megjegyzés: A későbbi, DDRx SDRAM-októl való megkülönböztetés érdekében az eredeti SDRAM-ot SDR (**S**ingle **D**ata **R**ate) SDRAM-nak is szokták nevezni.

- Mivel minden órajellel szinkronizáltan történik, ezért az időzítéseket nem ns-ban, hanem a szükséges órajel ciklusok számában szokták megadni. Természetesen ezek az órajel frekvenciájának függvényében értelmezhetők, és szükség esetén ns-ra is átszámíthatók. (Aszinkron DRAM esetében pedig természetesen ns-ban adják meg őket.)
- A következőkben megadjuk azt a négy időzítést, amivel az egyes SDRAM memória modulokat jellemezni szokták.
- Az időzítések értékét a következőkben használt sorrendben, a számértékeket egymástól kötőjellel elválasztva szokták feltüntetni, például: 3-4-4-8.

CAS Latency

- Definíció
 - A /CAS=0-tól az adat megjelenéséig eltelt idő.
(Természetesen egy már aktív sor esetén.)
- *Magyarázat*
 - *Eddig tart, amíg az érzékelő erősítőben már jelen levő bitek közül az oszlopcím által kiválasztott bit a kimeneten megjelenik.*
- *Jelölések*
 - $t_{CL}, t_{CAS}, (t_{ACT})$
- Alternatív megnevezés
 - **Access Column Time**

RAS to CAS Delay

- Definíció
 - A $/\text{RAS}=0$ -tól legalább ennyi időnek el kell telnie a $/\text{CAS}=0$ megjelenéséig.
- *Magyarázat*
 - *Eddig tart a sor "megnyitása": a sor kiválasztásától addig eltelt idő, amíg a kiválasztott sor tartalma megjelenik az érzékelő erősítőben. Ez után lehet olvasni vagy írni.*
- Jelölés
 - t_{RCD}

Row Precharge time

- Definíció
 - A /RAS jelnek legalább ennyi ideig magas szintűnek kell lennie, azaz egy aktív sor lezárásától kezdve ennyi időnek kell eltelnie, mire egy másikat meg lehet nyitni.
- *Magyarázat*
 - *Ennyi idő szükséges a bitvezetékek előfeszítéséhez.*
- *Jelölés*
 - t_{RP}

Row Address Strobe time

- Definíció
 - A /RAS jelnek legalább ennyi ideig alacsony szintűnek kell lennie.
- *Magyarázat*
 - *Ez az idő ahhoz szükséges, hogy a sor kiolvasása és visszaírása rendben megtörténjen.*
- *Jelölés*
 - t_{RAS}
- Alternatív megnevezések
 - **Row Active Time**
 - Active to Precharge (time)

DDR SDRAM

- A DDR (**D**ouble **D**ata **R**ate) SDRAM azonos órajel esetén az SDR SDRAM-hoz képest (közel) kétszer akkora átviteli sebességre képes.
- Ezt úgy oldja meg, hogy az órajelnek mind a felfutó, mind a lefutó élénél végez adatátvitelt. Míg az SDR SDRAM minimális burst hossza 1, a DDR SDRAM-é 2.
- A szabványos nevében már a fizikai órajel frekvenciájának a dupláját használja, így a DDR-200 SDRAM valójában 100MHz-en működik.
 - A moduljai 64 bit szélesek, és a nevükben figyelembe veszik azt is, hogy hány byte információt visznek át párhuzamosan. Például egy 200MHz-en működő 64 bit széles DDR-400-at PC-3200 néven lehet megvásárolni, és maximum 3200MB/s átviteli sebességre képes.

- A DDR2 SDRAM belső órajele csak fele a külsőnek, így adott belső órajel mellett a külső kétszer akkora lehet, és a külső órajelciklusonként visz át két bitet, tehát a belső órajel minden periódusa alatt 4-et.
- Míg a DDR-nél 2 bites volt, itt már 4 bit-es a prefetch puffer (a DDR3-nál pedig 8 bites).
- Nézzünk itt is egy tipikus számpéldát.
 - Egy DDR2-800 SDRAM-nak a belső órajele 200MHz, a külső 400MHz, a "800" úgy jön ki, hogy a külső órajel fel- és lefutó élénél is van adatátvitel; a 64 bites szélesség miatt pedig PC2-6400 modulként adják el, és maximum 6400 MB/s átviteli sebességre képes.

DDR3 SDRAM

- A DDR3 SDRAM belső órajele már csak negyede a külsőnek, így adott belső órajel mellett a külső négyszer akkora lehet, és a külső órajelciklusonként visz át két bitet, tehát a belső órajel minden periódusa alatt 8-at.
- Nézzünk itt is egy tipikus számpéldát.
 - Egy DDR3-1600 SDRAM-nak a belső órajele 200MHz, a külső 800MHz, az "1600" úgy jön ki, hogy a külső órajel fel- és lefutó élénél is van adatátvitel; a 64 bites szélesség miatt pedig PC3-12800 modulként adják el, és maximum 12800 MB/s átviteli sebességre képes.

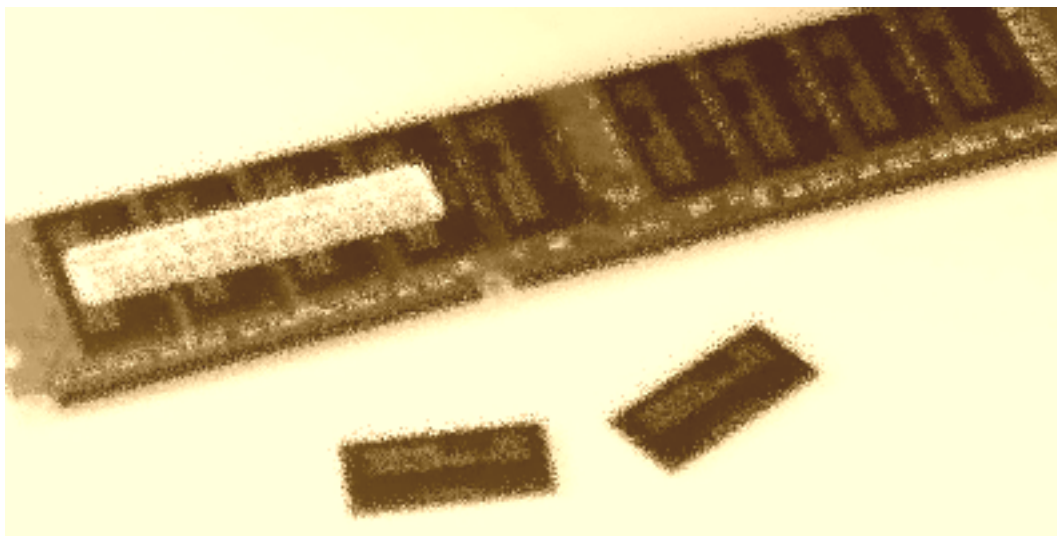
- A DDR sorozat tagjai egymással sem mechanikailag sem feszültségszint tekintetében nem kompatibilisek.
 - A disszipáció csökkentése érdekében egyre kisebb feszültségszinteket használnak.
- A DDR4 piaci megjelenése 2012-re várható.

A GDDR sorozat

- A GDDR (**G**raphics **DDR**) sorozat videokártyákhoz készült.
- A számozás 1-gyel (vagy kettővel) előbbre tart a DDR sorozatnál, így például a GDDR3 közelítőleg a DDR2-nek felel meg. Ahhoz képest van néhány előnye, ebből rendszertechnikailag számunkra az az érdekes, hogy egyidejűleg írható és olvasható.
- A GDDR4 a DDR3-ra épül és a GDDR3 utódjának szánták, de nem igazán váltotta be a hozzá fűzött reményeket.
- A GDDR5 is DDR3-ra épül, és 2008 óta kapható.

A Rambus irányzat

- A Rambus cég nem gyárt memóriát csak fejleszt és licencel. Első termékével az **RDRAM**-mal (**R**ambus **D**RAM) forradalmi újításokba fogott (például lényegesen keskenyebb buszt használ; a parancsait nem 1 bites vonalak jelei, hanem több bites üzenetek hordozzák), de a teljesítményhez képest az ár túl magas volt, így bár egy ideig terjedt, aztán az olcsóbb DDR sorozat kiszorította.
- A következő terméke az **XDR** (e**X**treme **D**ata **R**ate) DRAM jelenleg a DDR2 és a GDDR4 vetélytársa. Olyan esetekben van esélye, ahol a kis lábszám előnyt jelent.
- 2008-ban elkészült az **XDR2 DRAM** specifikációja is, de azóta sem talált gyártóra.

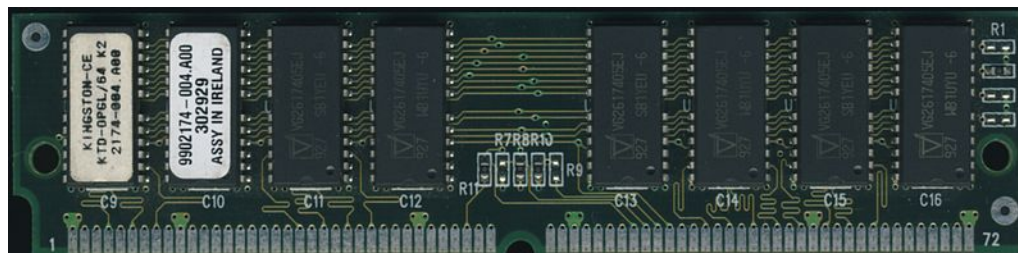


MEMÓRIA MODULOK

- A SIMM (**S**ingle **I**n-line **M**emory **M**odule) memória modulok csak az egyik oldalon tartalmazznak memória IC-eket és bár a csatlakozási felületnél mindkét oldalon vannak érintkezőik, ezek redundánsak.
- Főleg az 1980-as és 90-es években használták őket, 30 és 72 érintkezős kivitelben készültek, az előbbiek 8/9 bitesek, az utóbbiak 32/36 bitesek voltak - attól függően, hogy tartalmaztak-e hibajavításra (ECC) 8 bitenként +1 bitet. Ezek általában még aszinkron DRAM-ok voltak, de készült még DDR SDRAM is SIMM kivitelben.

SIMM – 2

- Felül 8/9 bites aszinkron DRAM, alatta 32/36 bites FPM DRAM, legalul 32/36 bites EDO DRAM



- A DIMM (**D**ual **I**n-line **M**emory **M**odule) memória modulok mindkét oldalon tartalmazznak memória IC-eket, adatszélességük is 64 bit, és kihasználják mindkét oldalon az érintkezőket.
 - Az Intel Pentiummal terjedtek el, így már nem kellett őket párban használni, mint a SIMM modulokat.
- Bár készültek FPM és EDO DRAM-ok is DIMM kivitelben, de a DIMM-ek már főleg szinkron DRAM-ok, azon belül bejárták a technológiai fejlődést. Az érintkezők számában is változatosak.

DIMM – 2

- Az alábbiak közül a felső egy 168 érintkezős SDRAM, az alsó egy 184 érintkezős DDR SDRAM:



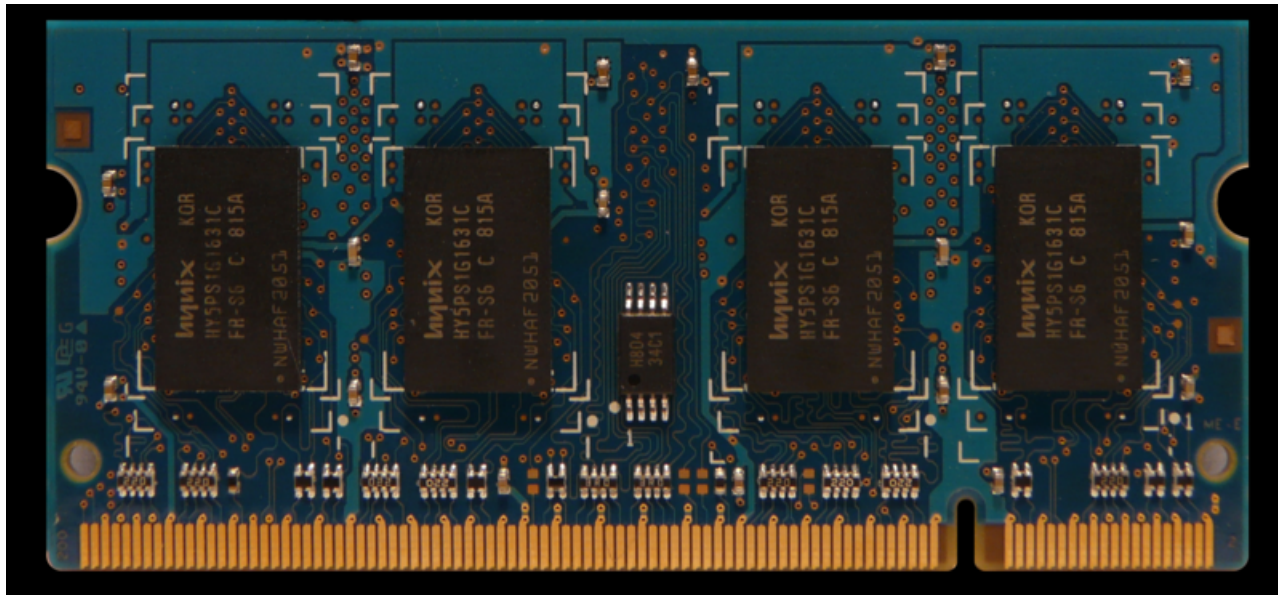
- Bár az **RDRAM** (**R**ambus **D**RAM) vagy **DRDRAM** (**D**irect **R**ambus **D**RAM) modulok is SIMM vagy DIMM kivitelűek, megkülönböztetésül mégis **RIMM**-nek (**R**ambus **I**n-line **M**emory **M**odule) szokták őket nevezni.
 - Jól látható jellemzőjük az integrált hűtő - de integrált hűtő lehet más SIMM/DIMM modulon is!



- Az **RDRAM** utódja az **XDR** (eXtreme Data Rate) **DRAM** az elődjéhez hasonlóan szintén integrált hűtővel rendelkezik:



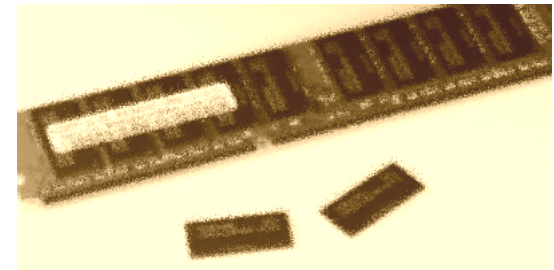
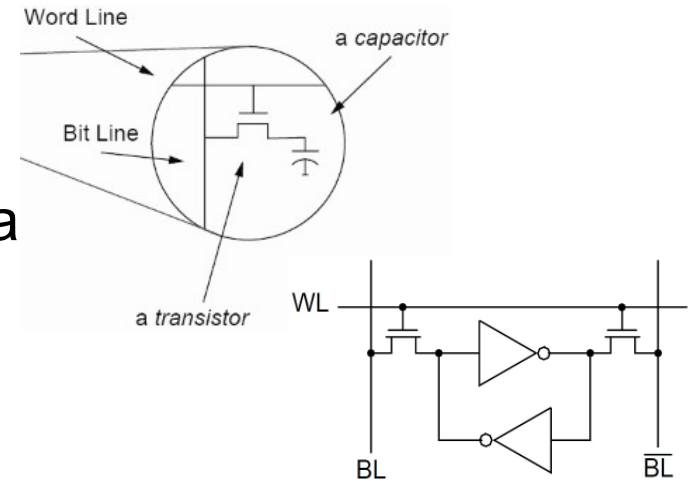
- A **SO-DIMM** (**S**mall **O**utline **D**IMM) a DIMM helytakarékos változata. Többféle érintkezőszámmal (100, 144 és 200) készül és DDR/DDR2/DDR3 SDRAM egyaránt található köztük. Az alábbi képen egy PC2-6400 DDR2 SO-DIMM látható.



Önálló hallgatói munka

1. Számítsa ki a bitmezőt befoglaló négyzetekben létrejövő jelterjedési késleltetés arányát egy 16kB-os L1 és egy 1MB-os L2 cache esetén!
2. Van egy SDRAM chipünk. Az időzítése: 3-3-3-6. Feltéve, hogy előfeszített (precharged) állapotban van, és két bitet kell belőle kiolvasnunk, amelyek sorcíme különböző; a kezdéstől számítva mennyi idő múlva jelenik meg a második bit a kimeneten, ha a chip 100MHz frekvenciájú órajelet kap?
3. Oldja meg az előző feladatot 6-6-6-18 időzítéssel és 200MHz-es órajellel!
4. Egy PC3-6400-ként eladott DDR3 memóriamodul milyen belső és milyen külső órajellel működik?

- SRAM és DRAM felépítése és ennek következményei
 - SRAM felépítése és működése
 - DRAM felépítése és működése
 - SRAM és DRAM összehasonlítása
- DRAM fejlődése
 - Aszinkron DRAM típusok
 - Szinkron DRAM típusok
 - Legfontosabb időzítések szinkron DRAM-oknál
- Memória modulok
- Feladatok



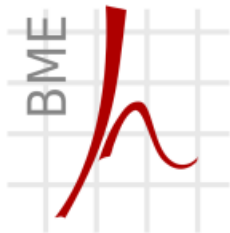
- Örömmel hirdetjük, hogy a **BME-Infokom Innovátor Kft. Hallgatói Ötlebörzét szervez a Híradástechnikai Tanszékkel** közösen, az alábbi **9 témában**:
 - 1) Infokommunikációs hálózatok tervezési és elemzési modelljei és módszerei
 - 2) Szélessávú hozzáférési hálózatok vizsgálata és elemzése
 - 3) Hálózat, információ és szolgáltatás biztonság
 - 4) Fix-mobil konvergencia
 - 5) Személyre szabott és helyfüggő média-tartalom szolgáltatások
 - 6) Intelligens közlekedési alkalmazások
 - 7) Rádiófrekvenciás azonosítás
 - 8) Nyomon követés és hely alapú szolgáltatások
 - 9) Intelligens környezet

<http://www.bme-infokom.hu/palyazat/>



Kérdések?

KÖSZÖNÖM A FIGYELMET!



Híradástechnikai Tanszék

Dr. Lencse Gábor
tudományos főmunkatárs
BME Híradástechnikai Tanszék
lencse@hit.bme.hu

