

Digitális rendszerek

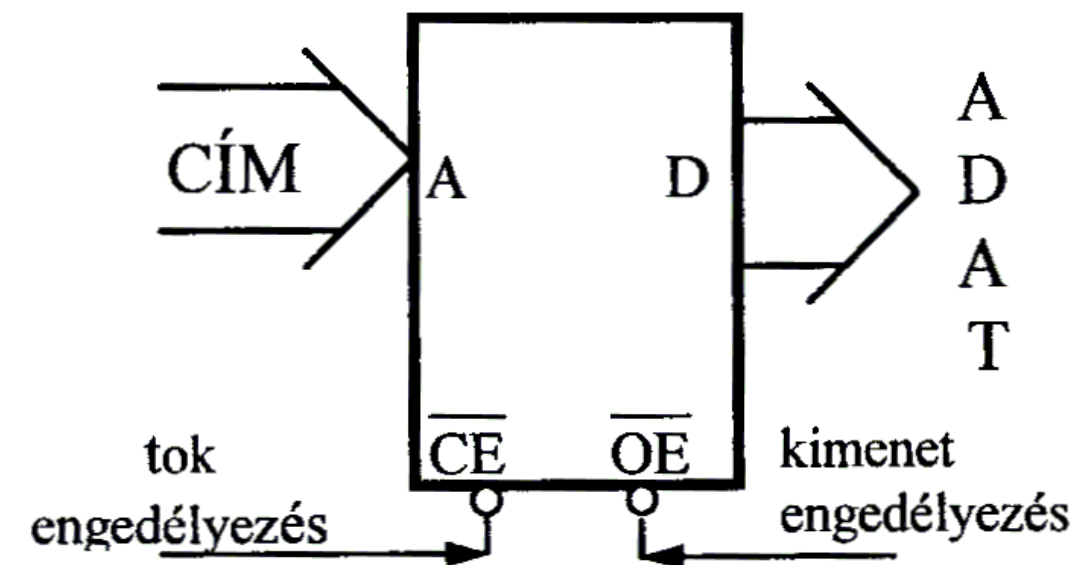
Memória lapkák



ROM (Read-Only Memory)

Csak olvasható memória

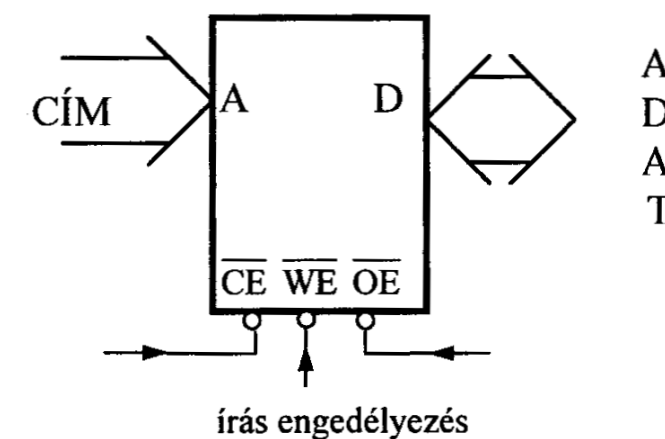
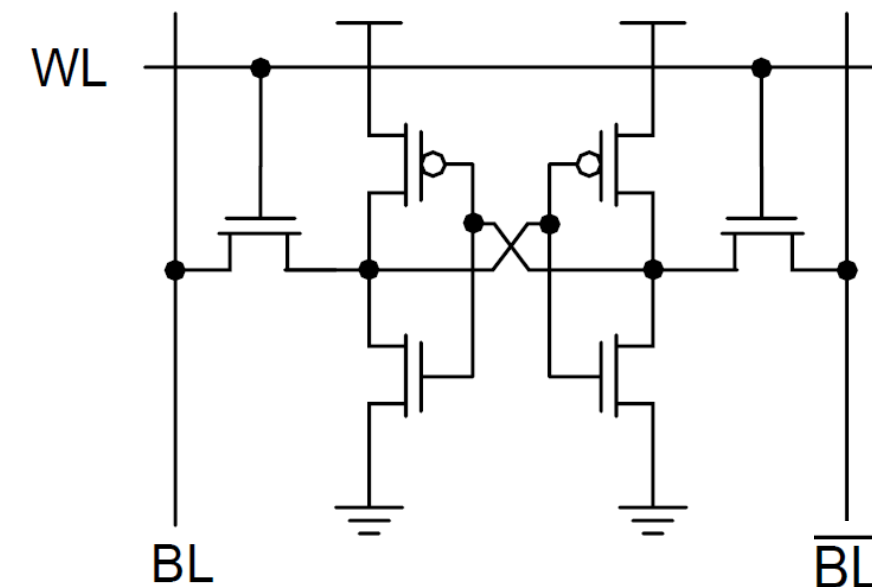
- ROM: gyártás során „programozzák” fel
- PROM (Programmable ROM): felhasználó egyszer, és csak is egyszer programozhatja fel.
- EPROM (Erasable PROM): felhasználó UV fénnel törölheti és elektromosan programozható (program beégetés)
- EEPROM (E²PROM, Electrically Erasable PROM): elektromosan törölhető és programozható (nincs szükség külön égető áramkörre)



Statikus RAM

SRAM jellemzők

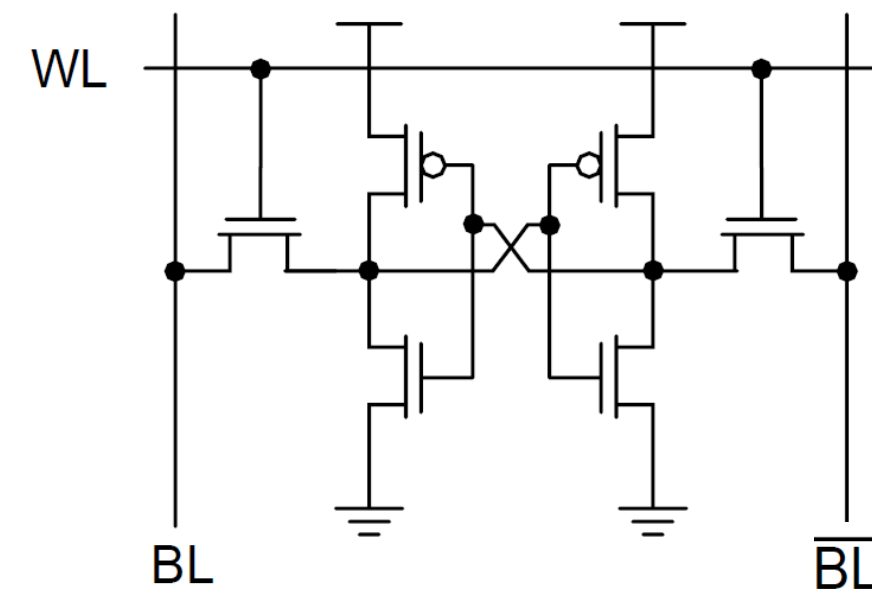
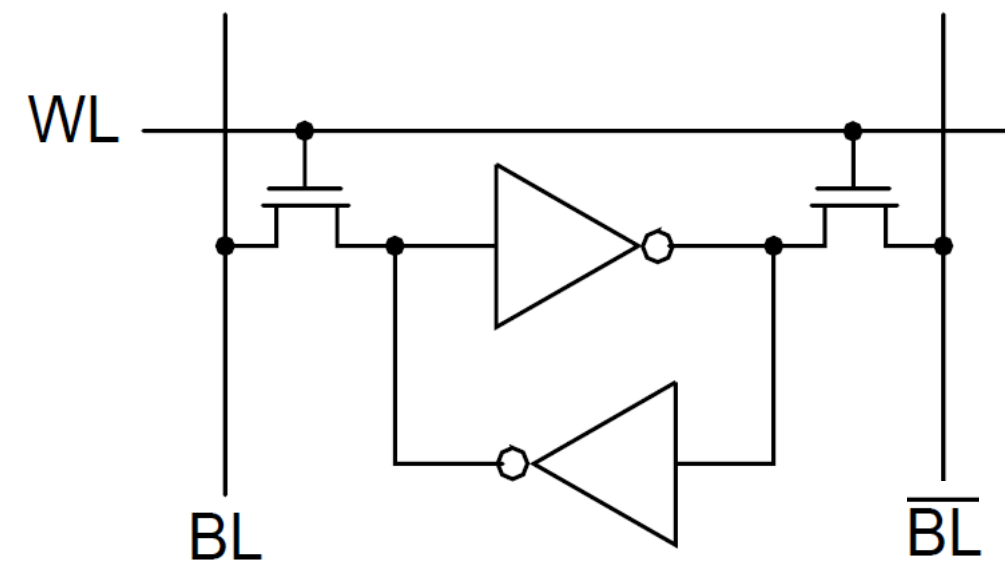
- Gyors elérésűek
- D flip-flop-hoz hasonló felépítésűek (6T)
- De drágák!



Statikus RAM

Felépítés

- A két inverter $\Rightarrow$ kvázi egy flip-flop!
- A két tranzisztor:
 - Ha WL aktív, akkor nyitnak
 - Tárolt bit BL-re, negáltja $\overline{BL}$ -re
- Összesen hat tranzisztor kell 1 bit tárolásához!



Statikus RAM

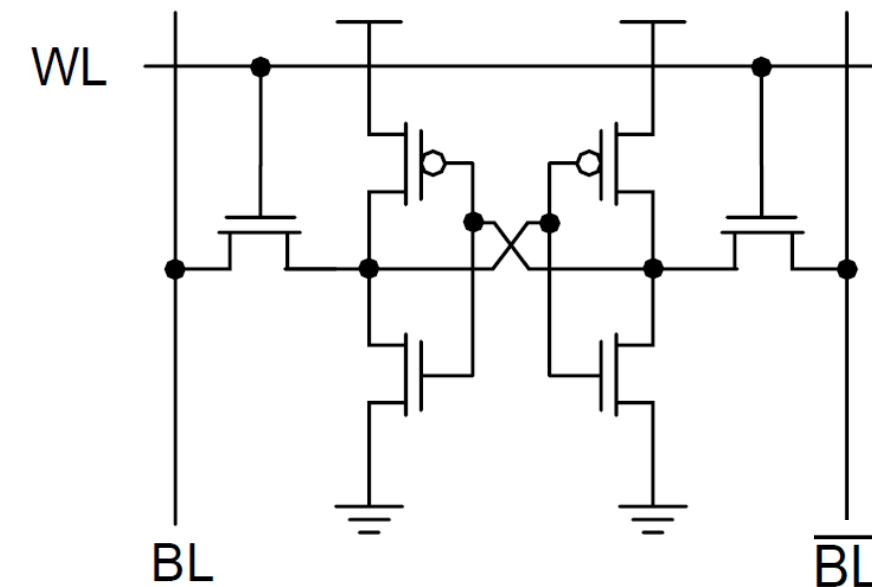
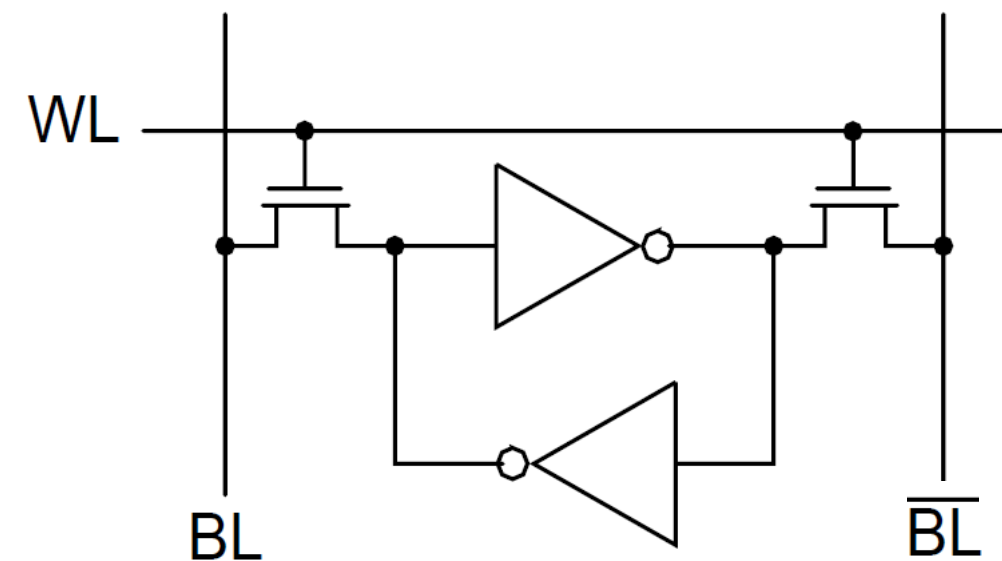
Működés

Olvasás

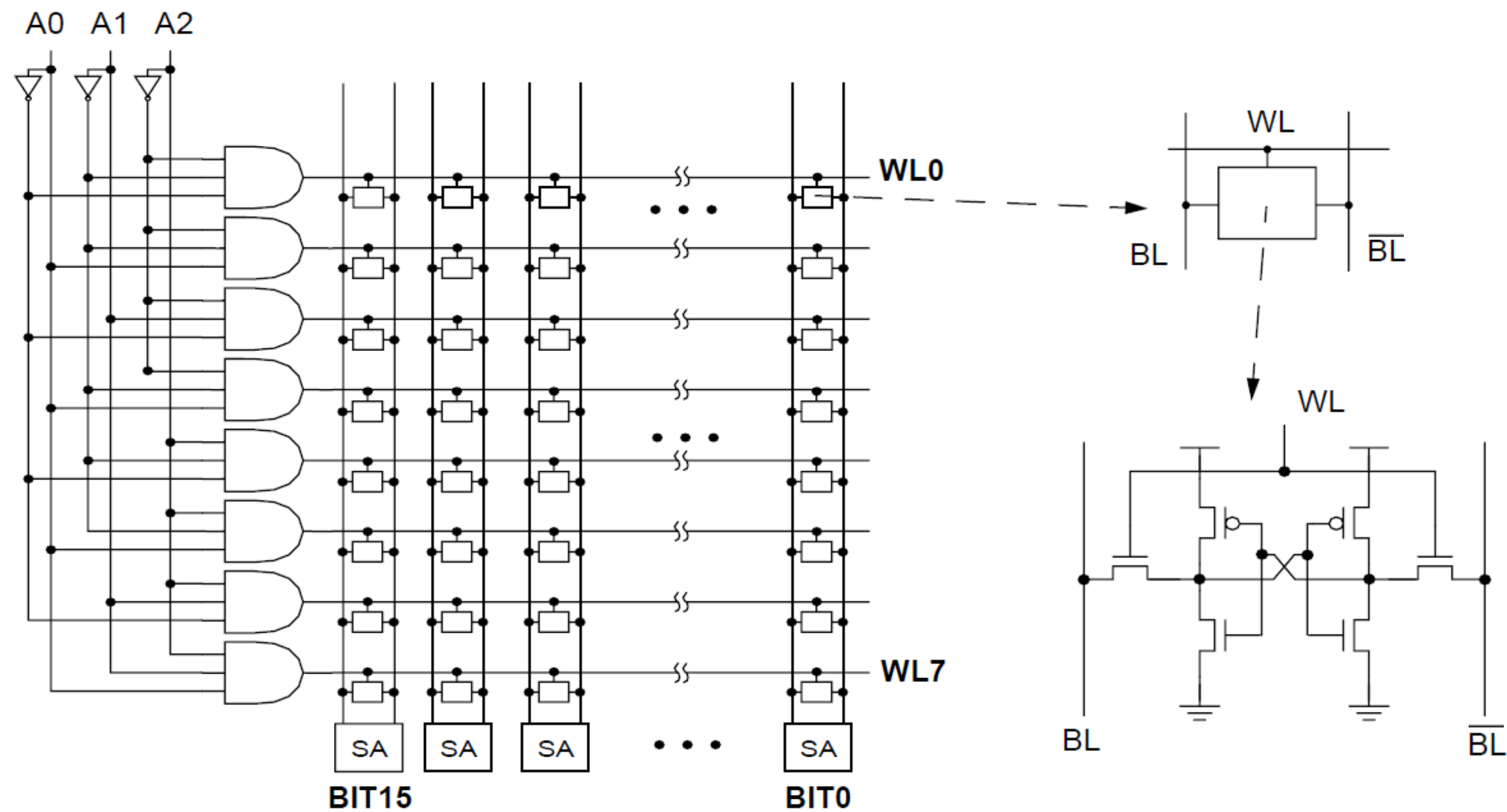
- BL-t és $\overline{BL}$ -t logikai egyre állítják (előfeszítés) (1→0 gyorsabb, mint 0→1)
- WL-re logikai 1
- Tárolt bit értéke BL-re, negáltja $\overline{BL}$ -re
- Érzékelő erősítők: BL és $\overline{BL}$ különbségét figyelik

Írás

- BL-t és $\overline{BL}$ -t a tárolni kívánt bit értékre kényszerítjük
- WL-re logikai 1
- A kényszerítés erősebb, mint az inverterek



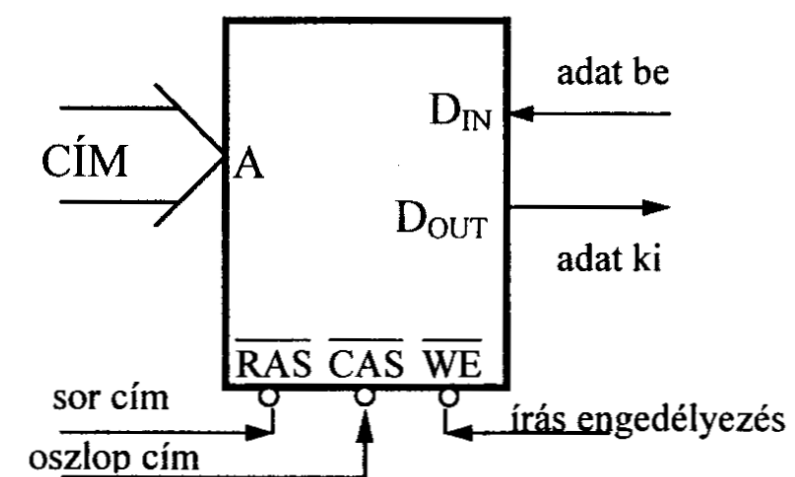
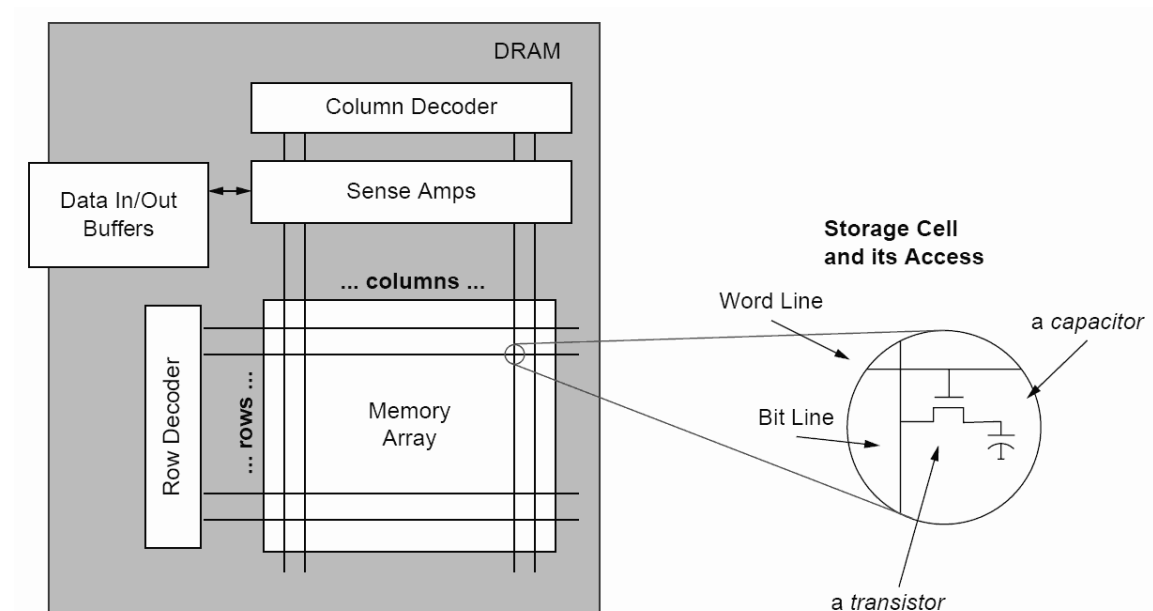
Statikus RAM



Dinamikus RAM

DRAM jellemzők

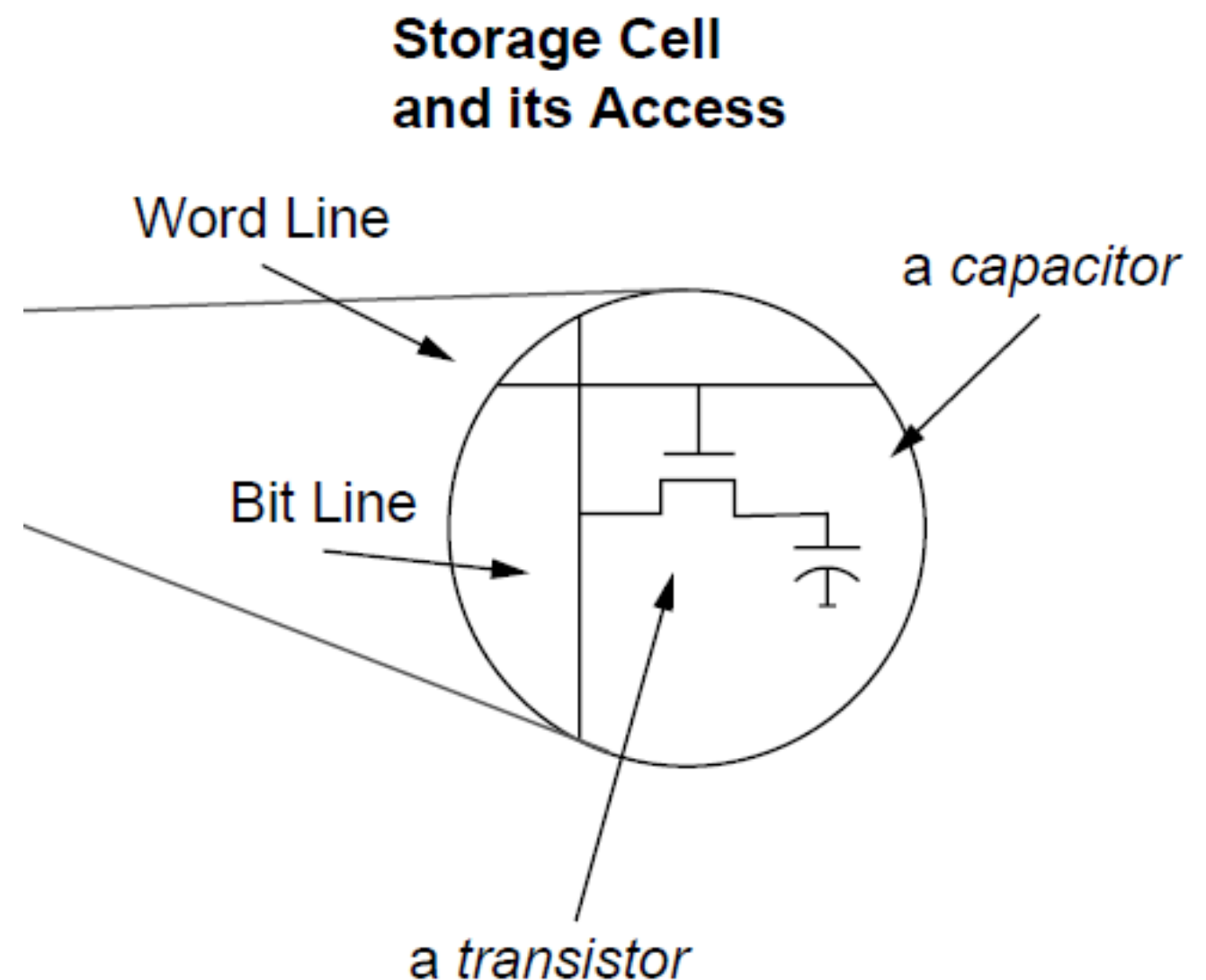
- Egyszerű felépítésűek (1T-1C)
- Nagy kapacitású modulok építhetők olcsón
- De frissíteni kell a cellákat!
- Néhány jellemző típusa:
 - Fast Page Mode (FPM)
 - Extended Data Output (EDO)
 - Synchronous DRAM (SDRAM)
 - Double Data Rate SDRAM (DDR-SDRAM; DDR1-DDR4)



Dinamikus RAM

Felépítés

- 1 kondenzátor
 - Feltöltött: bit=1,
 - Üres: bit=0
- 1 tranzisztor
 - Ha WL aktív, a BL-re engedi a kondenzátort
- 1T-1C felépítés



Dinamikus RAM

Működés

Olvasás

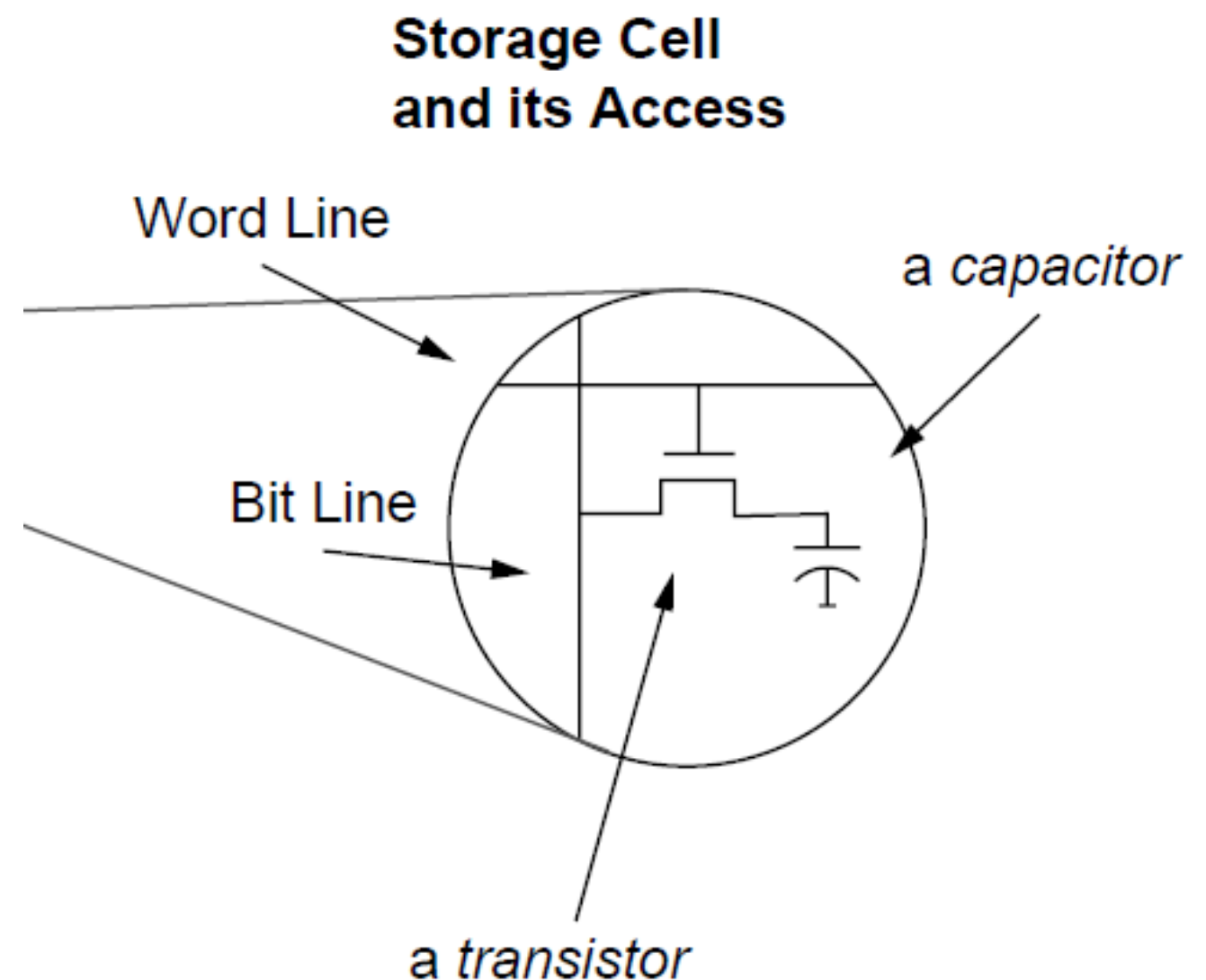
- BL-t előfeszítjük (0 és 1 közé félútra töltjük)
- WL-re logikai 1
- Érzékelő erősítők:
 - Ha BL szintje nő: bit=1, ha csökken: bit=0
- Kondenzátor töltése jelentősen csökken, azaz az olvasás destruktív $\Rightarrow$ a kiolvasott bitet vissza kell írni

Írás

- WL-re logikai 1
- BL-n keresztül feltöltjük vagy kisütjük a kondenzátort

Frissítés

- Kondenzátor töltése folyamatosan csökken
- Néhányszor 10 ms-onként frissíteni kell $\rightarrow$ kiolvasás + visszaírás



DRAM vs. SRAM

Melyik a gyorsabb?

SRAM: tranzisztor hajtja meg a bitvezetékét

DRAM: kondenzátor töltésének megfelelően változik a bitvezeték

Melyiknek nagyobb az adatsűrűsége?

SRAM: 6T

DRAM: 1T-1C

Mire használják?

SRAM: gyorsítótár (cache)

DRAM: központi memória

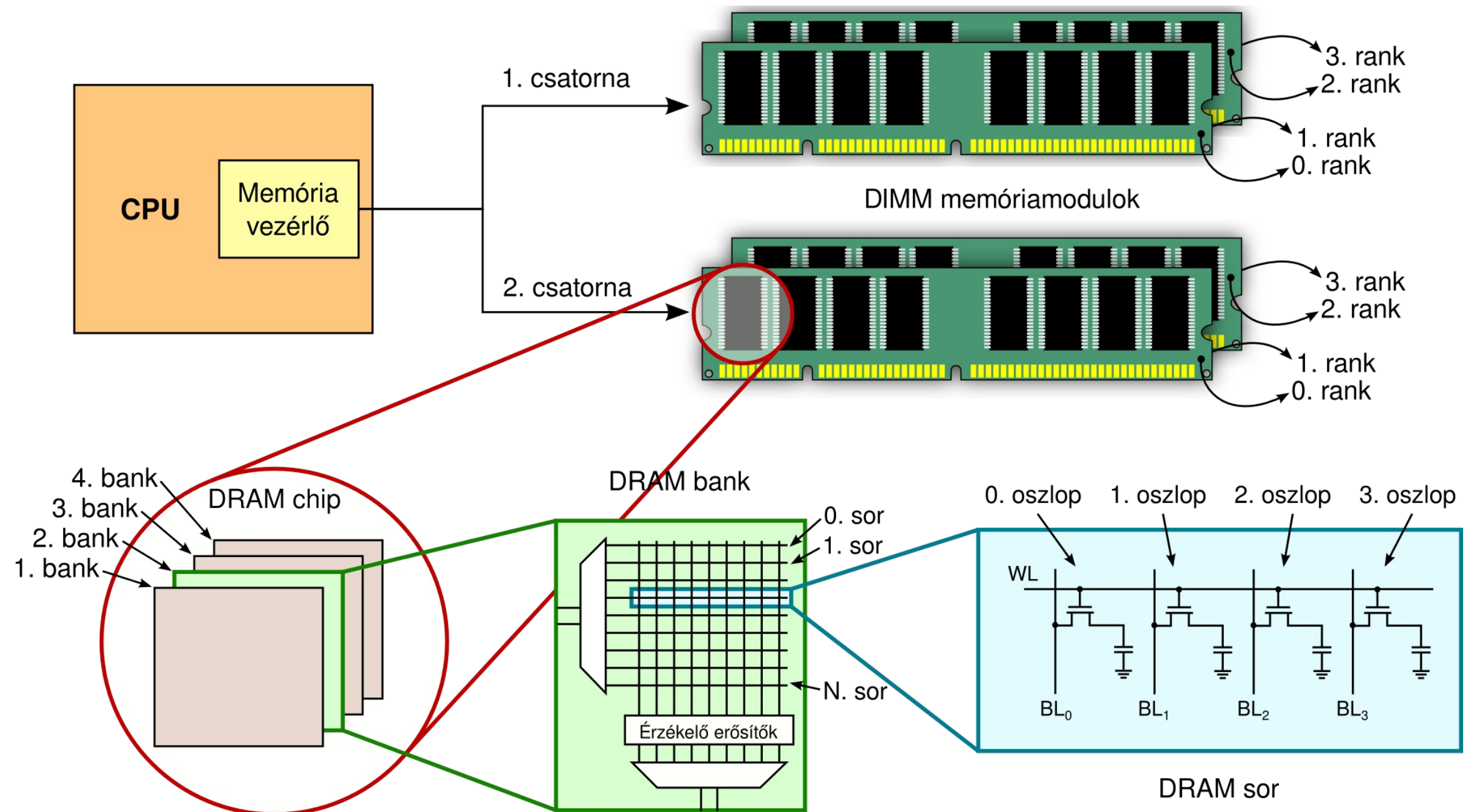
Melyik és hogyan integrálható a CPU lapkára?

SRAM: könnyen, mert csupa tranzisztor, mint a CPU

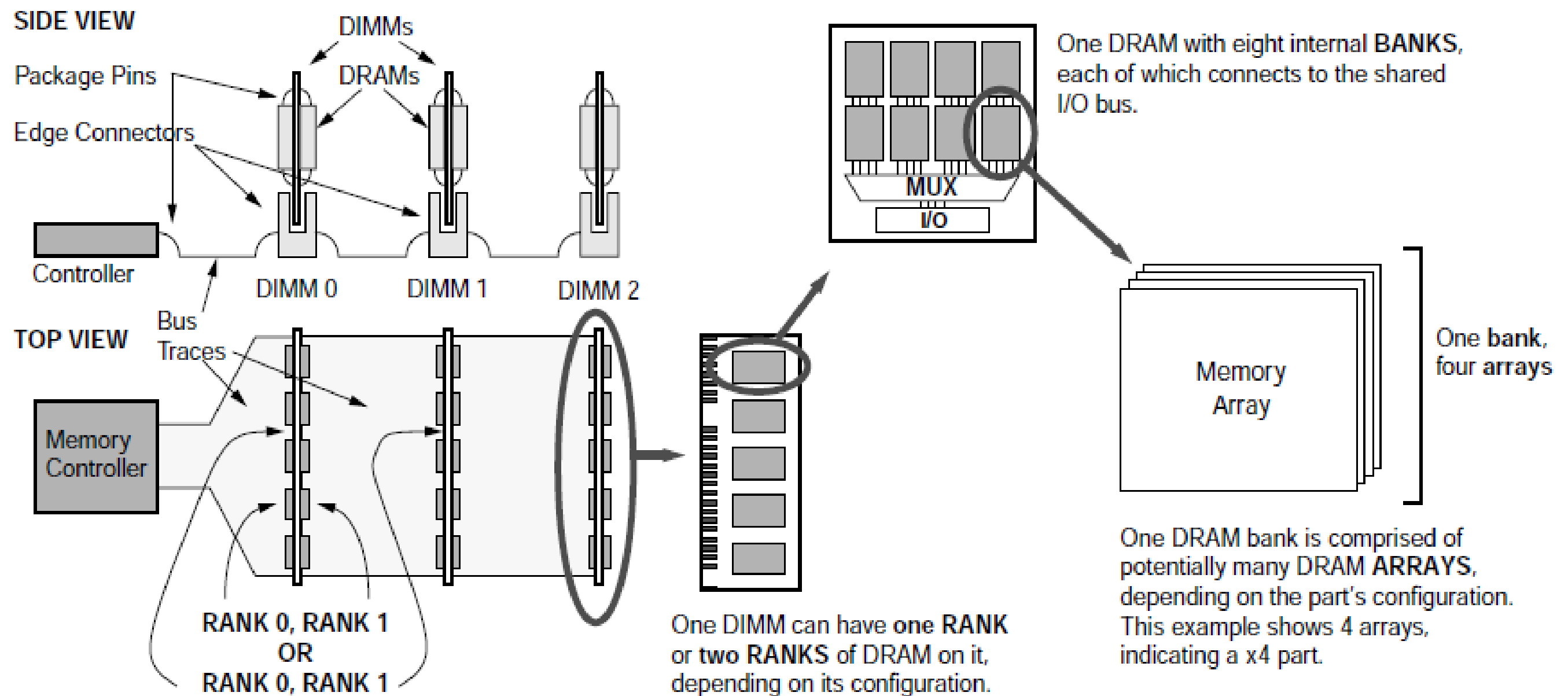
DRAM: nehezen, mert kondenzátort kell csinálni

DRAM alapú rendszermemóriák

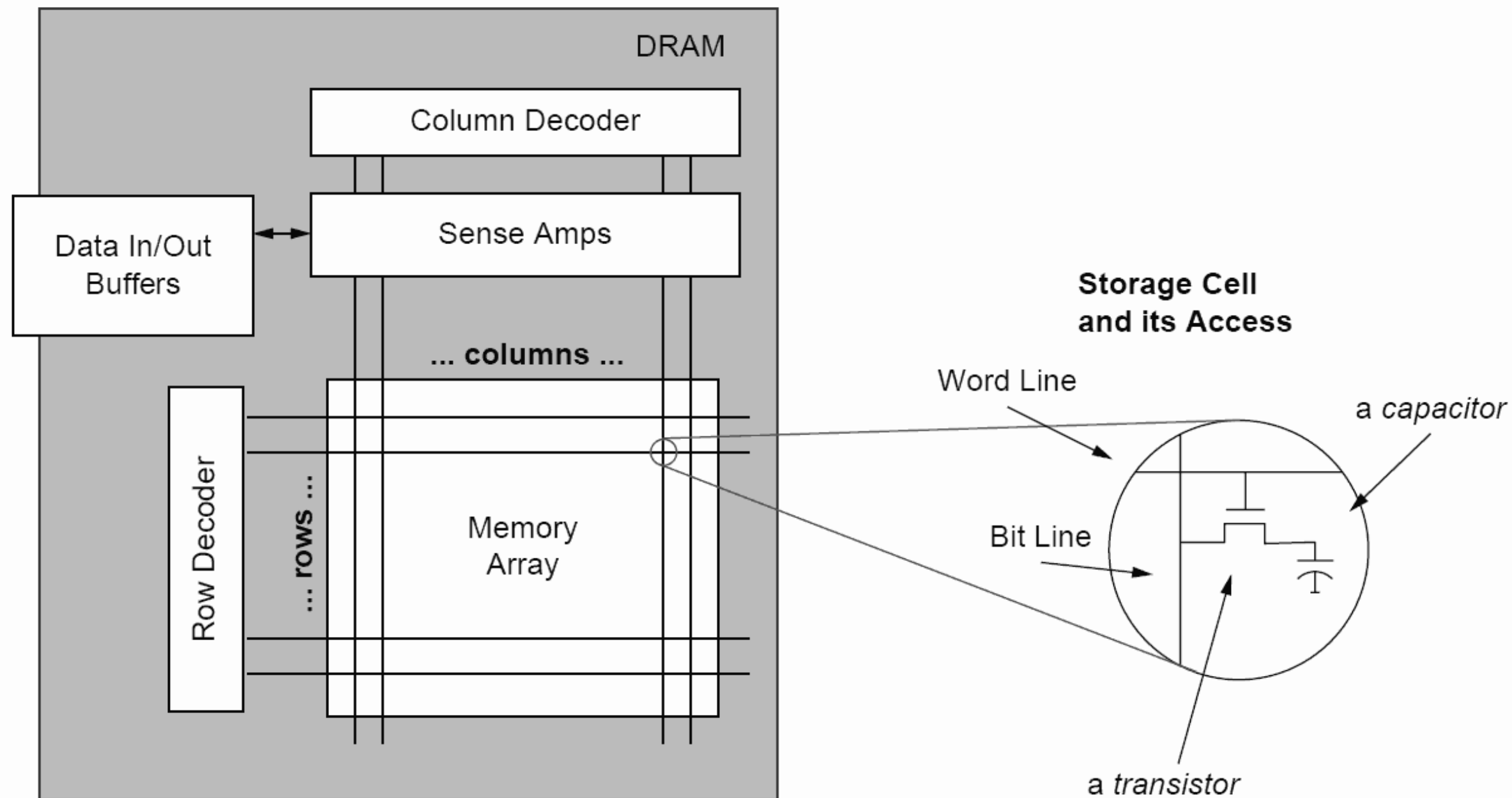
Felépítés



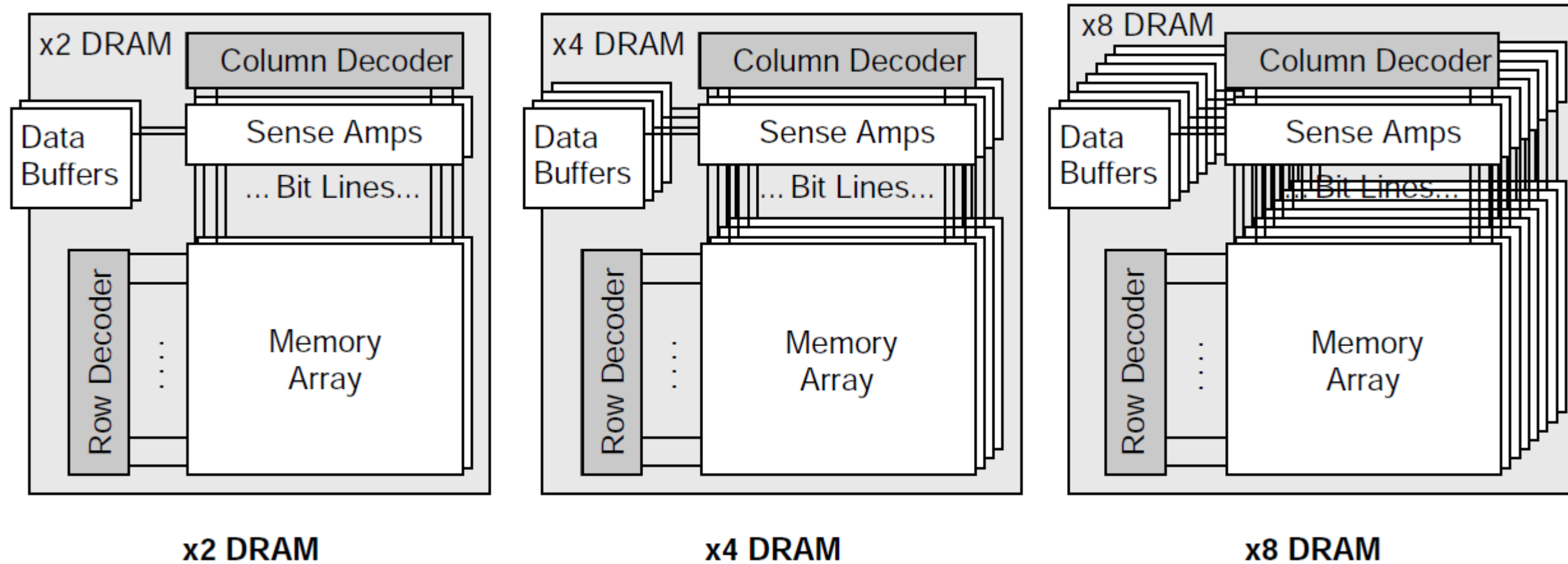
Felépítés



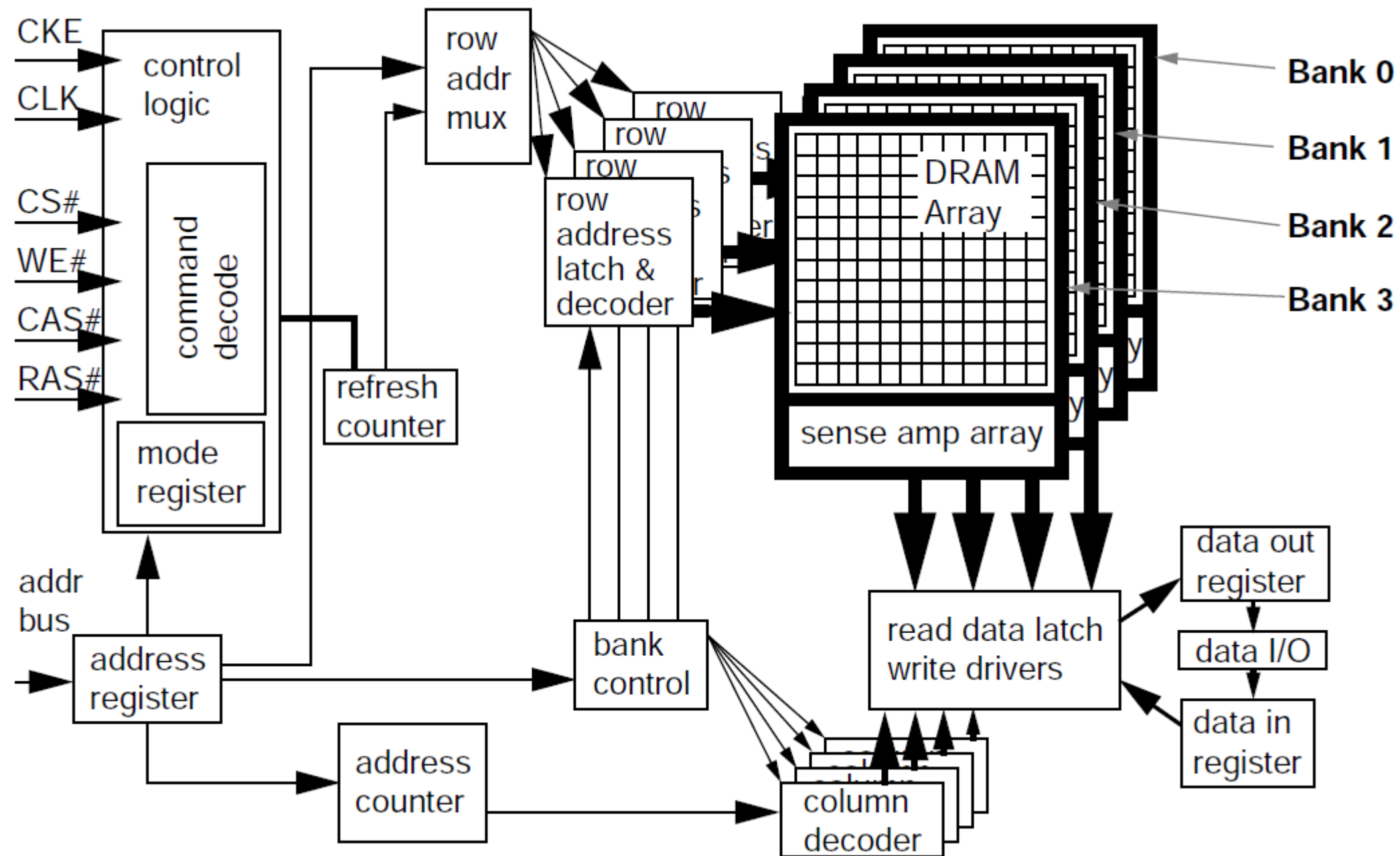
Memória tömb



Memória tömb



Memória bank, chip



DRAM parancsok

Az 5 legfontosabb:

ACTIVATE: Megnyit egy sort

adatok → érzékelő erősítőkhöz

READ: A nyitott sorból olvas egy oszlopot

igazából az érzékelő erősítőkből olvas

WRITE: A nyitott sorba ír egy oszlopot

igazából az érzékelő erősítőkhöz ír

PRECHARGE: Bezárja a nyitott sort

előfeszíti a bitvezetékeket is, hogy a köv. nyitás gyors legyen

REFRESH: Frissít egy sort (Majdnem egy sormegnyitás+lezárás)

De ennek nem kell sorcím. Auto-inkrement.

DRAM időzítések

A parancsok végrehajtási ideje

A 4 legfontosabb:

- T_{RCD} (RAS to CAS Delay): A sor megnyitás ideje
- T_{CAS} (CAS Latency, CL): oszlopcím ráadásától az adat megjelenéséig tartó idő
- T_{RP} (RAS Precharge): Előfeszítés (PRECHARGE) ideje
- T_{RAS} (Active to Precharge Delay): Minimális sor nyitvatartási idő

Mértékegység: órajel (szinkron DRAM), ns (aszinkron)

Példa: Boltban veszünk memóriát 8-9-10-11 időzítéssel

- $TCAS=8$, $TRCD=9$, $TRP=10$, $TRAS=11$
- Ha csak az van ráírva, hogy CL7: $TCAS=7$

DRAM időzítések

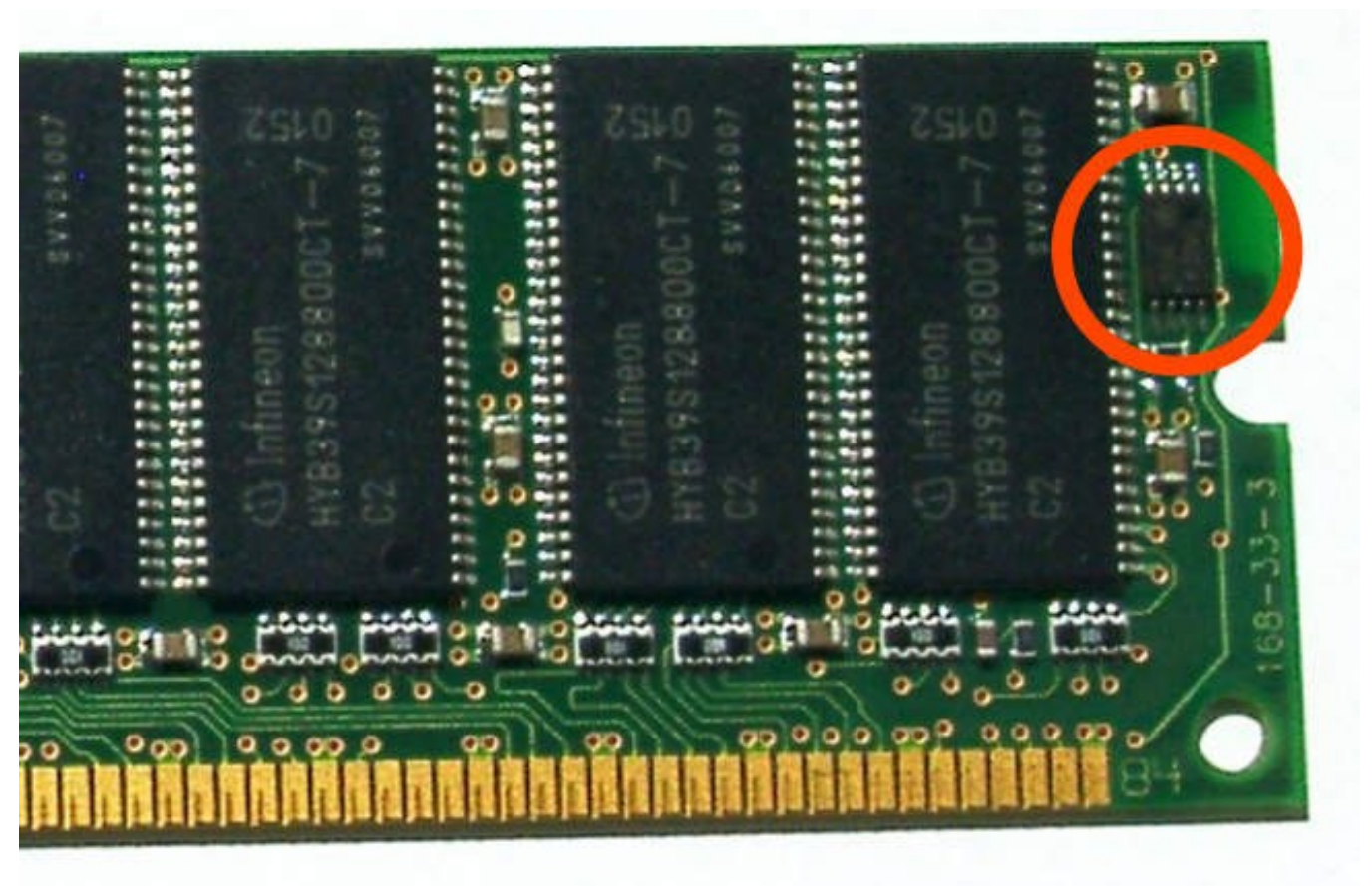
Honnan tudja az időzítéseket a memóriavezérlő?

Megkérdezi a memóriamodultól

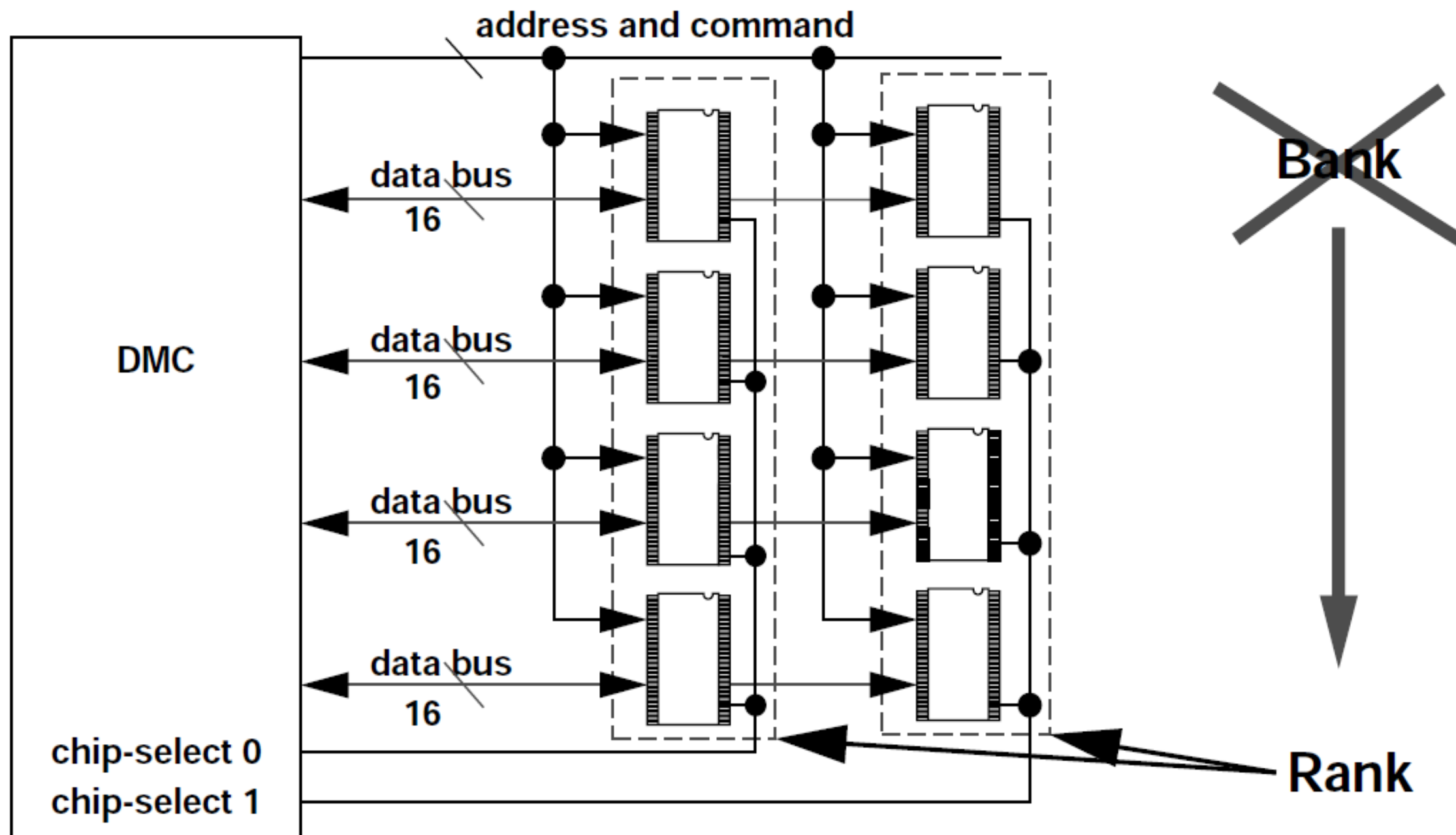
Memóriamodul tartalma:

DRAM chip-ek

...és egy SPD (serial presence detect) chip! Ebben vannak a jellemzők.



Memória rank



Memória modulok

Egy modul több rankból, ill. chipből áll

Parancs- és címbusz, valamint
bank-kiválasztás osztott

Adatbusz összefogva



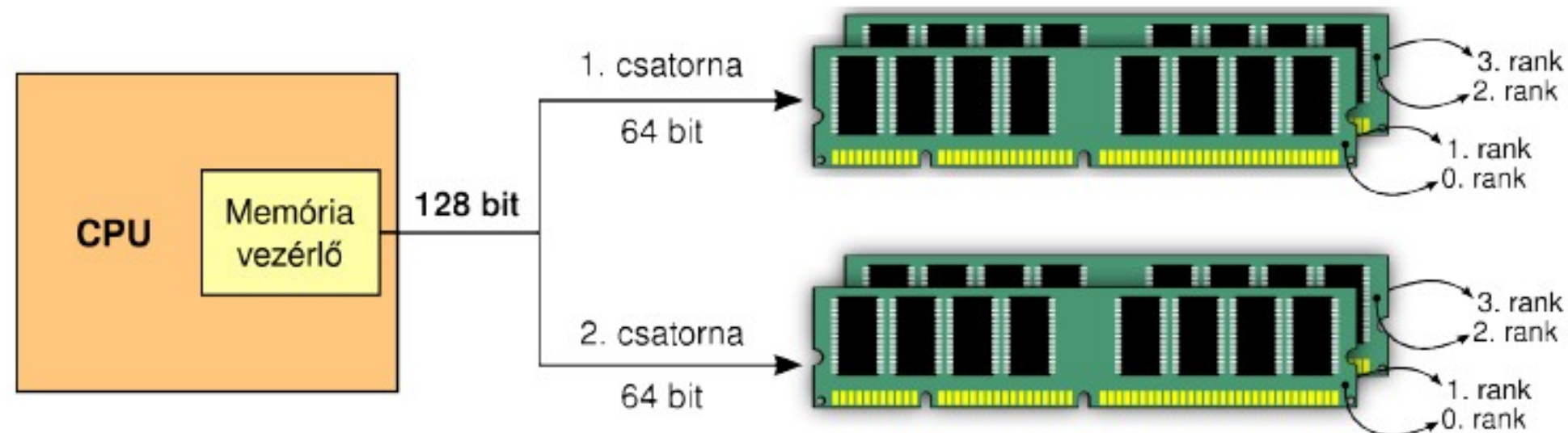
Többcsatornás elérés

Szinkronizált

Csak akkor lehetséges, ha azonosak a modulok (darabra, méretre, időzítésre)

Tökéletes szinkron működés

2 db 64 bites csatorna $\leftrightarrow$ 1 db 128 bites csatorna



Többcsatornás elérés

Független csatornák

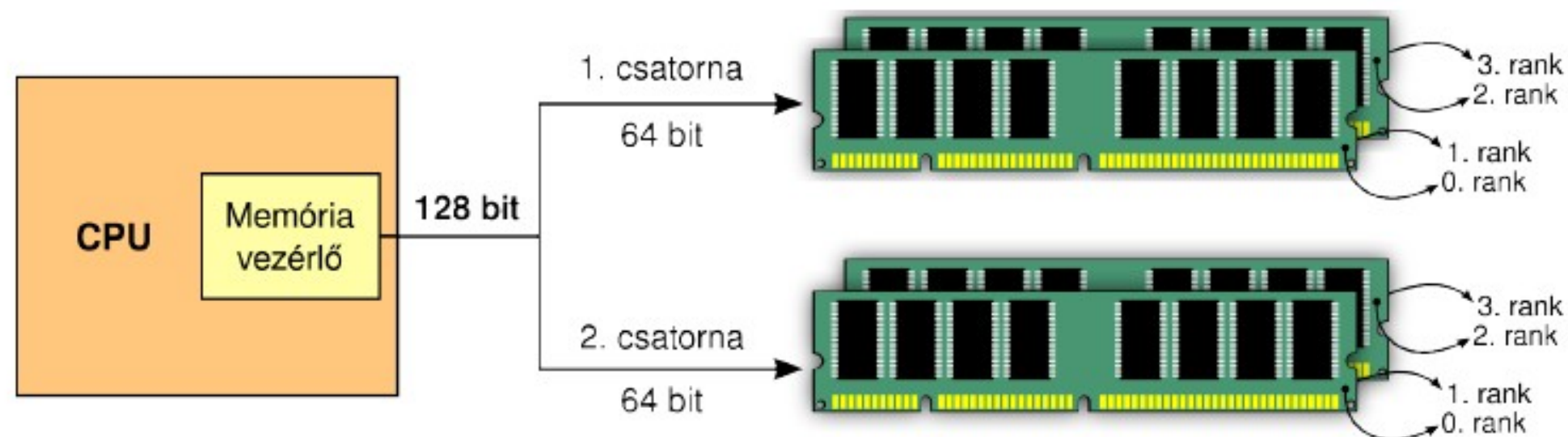
Nem feltétel az azonos modulok használata

Csatornánként külön-külön független memóriavezérlő

Implementációk:

Első: 60-as évek (Cray, IBM)

Legtöbb csatorna: 1995, DEC Alpha, 8 csatorna; PC: Core i3/i5: 2 csatorna, Core i7 (900-as széria): 3 csatorna, Core i7 (3000-es széria után): 4 csatorna (megfelelő alaplappal)



Memóriavezérlő

Feladata:

A memóriakérések kiszolgálása (CPU és perifériák felé)

Címek leképezése csatornára/rankre/bankre/sorra/oszlopra

Kérések sorrendjének optimalizálása

Gazdálkodás a nyitott sorokkal

Frissítések

Memóriavezérlő

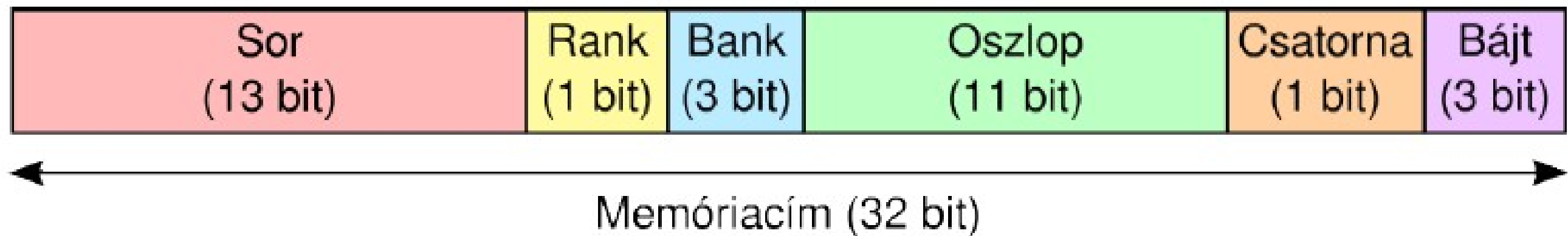
Címleképzés

Cél: lehető legkevesebb sorváltás

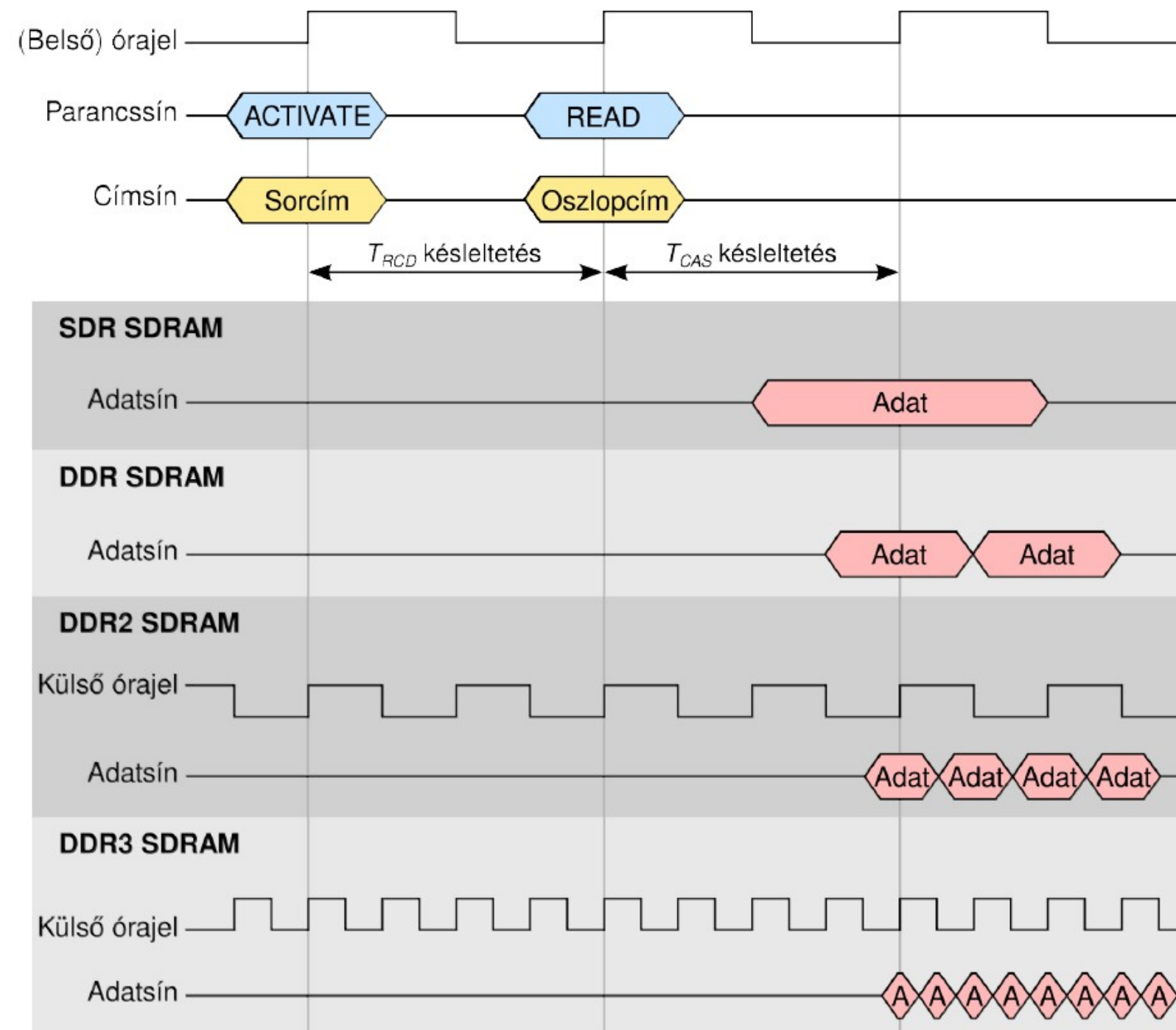
Memóriakérések lokalitása kihasználható

Az egybefüggő, sorváltás nélkül elérhető címtartomány legyen nagy

Példa (4 GB): 8 bank/chip, 2^{13} sor/bank, 2 rank, 2 csatorna, 64 bit adatszélesség $\Rightarrow$ 512 kB elérhető sorváltás nélkül



SDR-SDRAM – DDR4-SDRAM



SDR-SDRAM – DDR4-SDRAM

Szabványos jelölés:

Az ekvivalens SDR órajel megadásával: DDR-400, DDR2-800, DDR3-1600 órajele: 200 MHz

A parancsok késleltetése egyenlő, ... csak egyre gyorsabban küldik át az adatot!!!

Az adatátviteli sebesség megadásával:

pl. DDR2-800: adatátvitel 800 MHz-en, 8 byte/adategység, PC2-6400 ($800 \times 8 = 6400$),

pl. DDR3-1600: adatátvitel 1600 MHz-en, 8 byte/adategység, PC3-12800 ($1600 \times 8 = 12800$)

DDR4: Nincs több órajel többszörözés!

Teljesítmény fokozása:

Belső órajel növelése (ehhez CRC/paritásbit kell)

8 helyett 16 bank

DDR4 4 adatblokkot tud egy órajel alatt feldolgozni

Pont-pont topológia

Minden modul külön csatornán

Egy modul 8 ranket is tartalmazhat

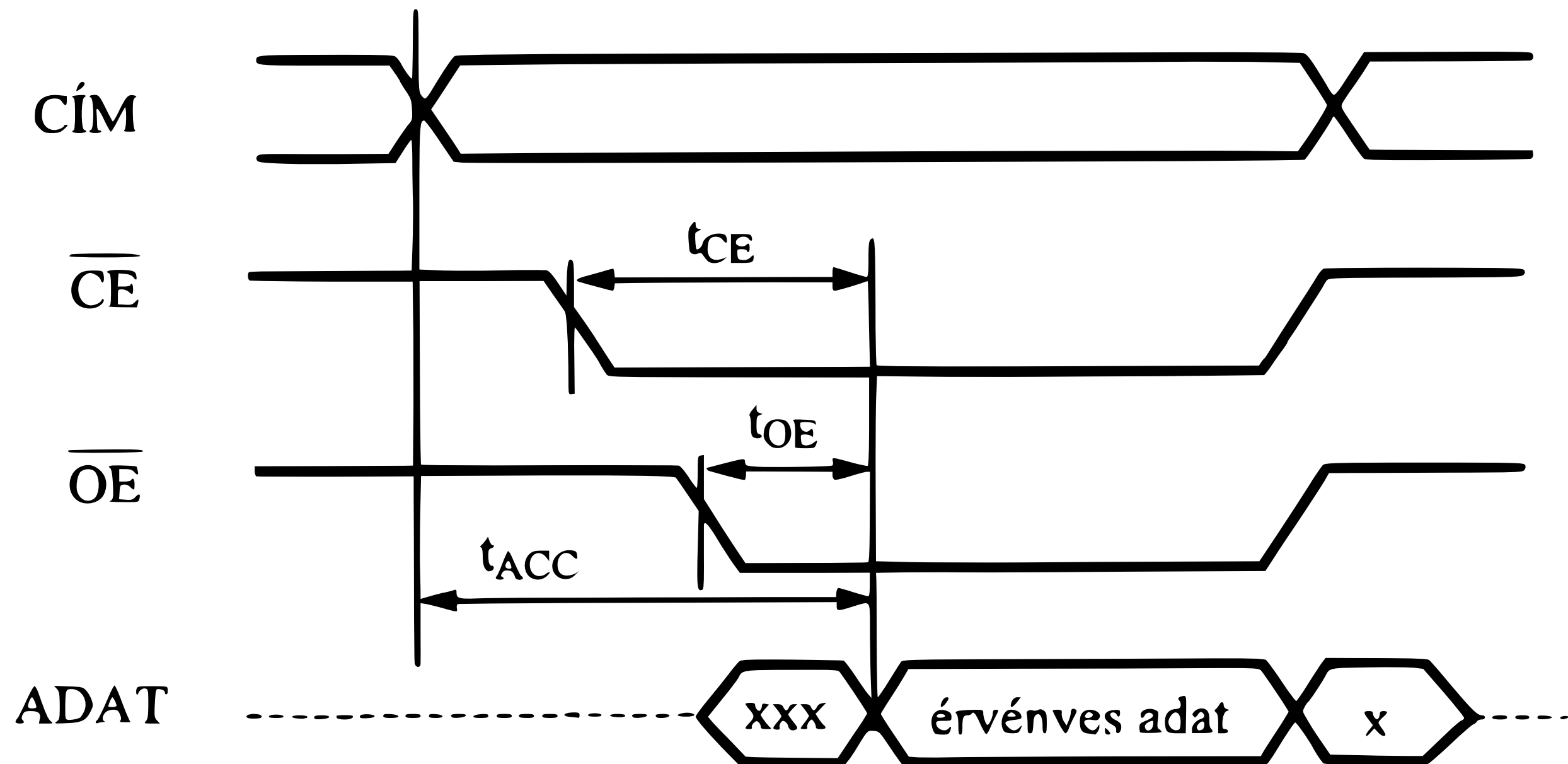
SDR-SDRAM – DDR4-SDRAM

Összehasonlítás

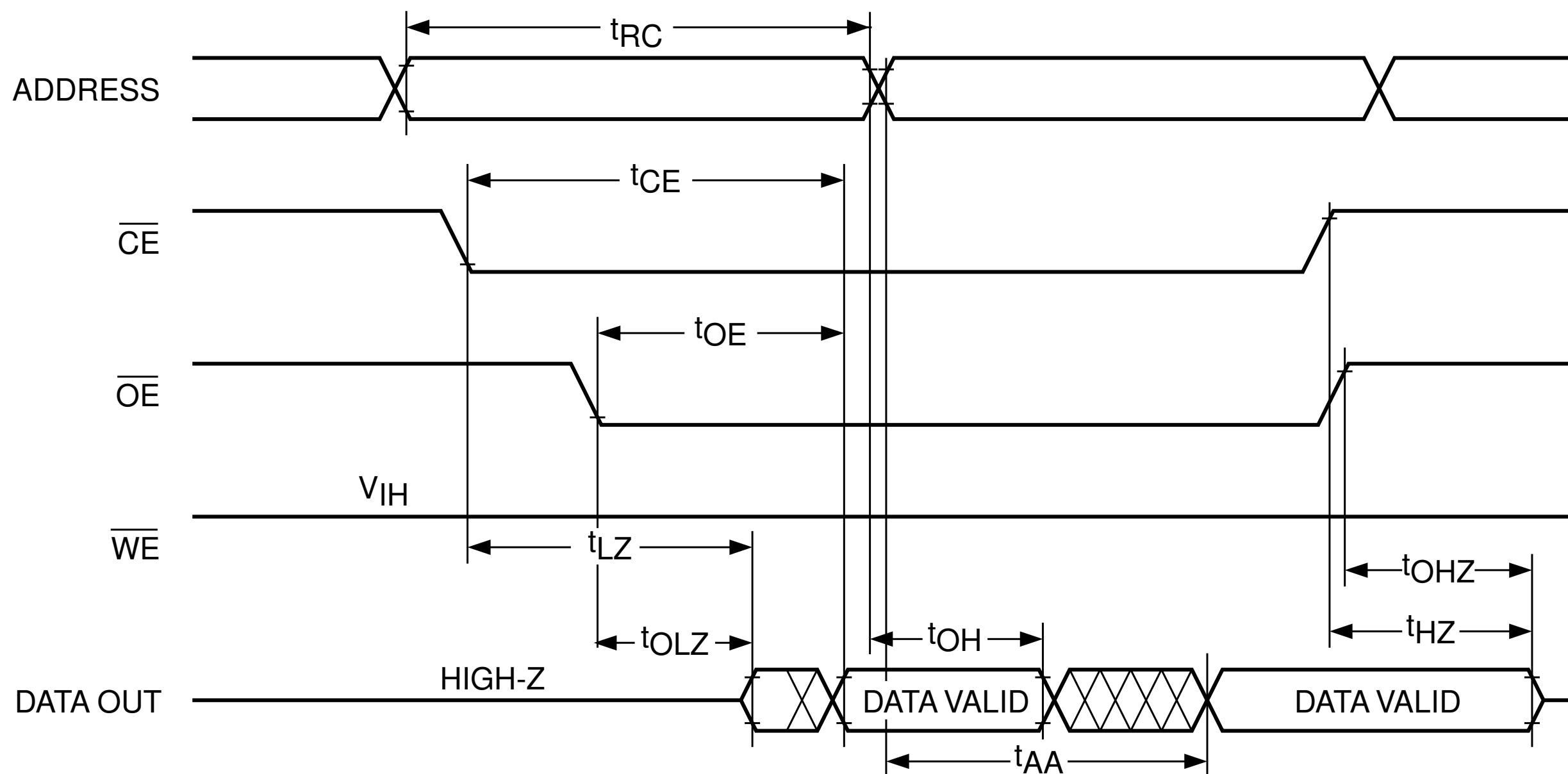
DDR SDRAM Standard	Internal rate (MHz)	Bus clock (MHz)	<u>Prefetch</u>	Data rate (MT/s)	Transfer rate (GB/s)	Voltage (V)
SDRAM	100-166	100-166	1n	100-166	0.8-1.3	3.3
DDR	133-200	133-200	2n	266-400	2.1-3.2	2.5/2.6
DDR2	133-200	266-400	4n	533-800	4.2-6.4	1.8
DDR3	133-200	533-800	8n	1066-1600	8.5-14.9	1.35/1.5
DDR4	133-200	1066-1600	8n	2133-3200	17-21.3	1.2

Memóriák idődiagramjai

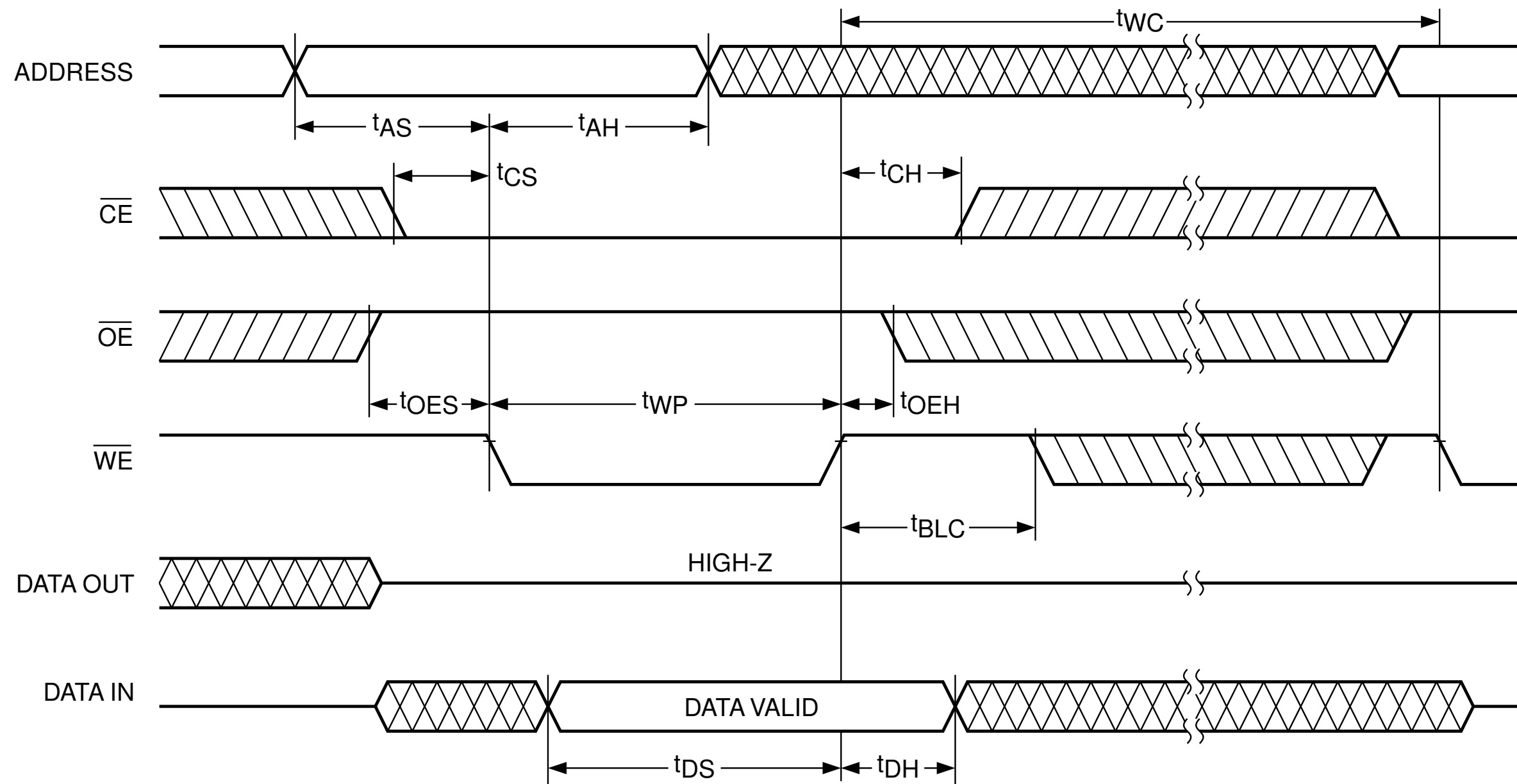
Olvasás ROM-ból



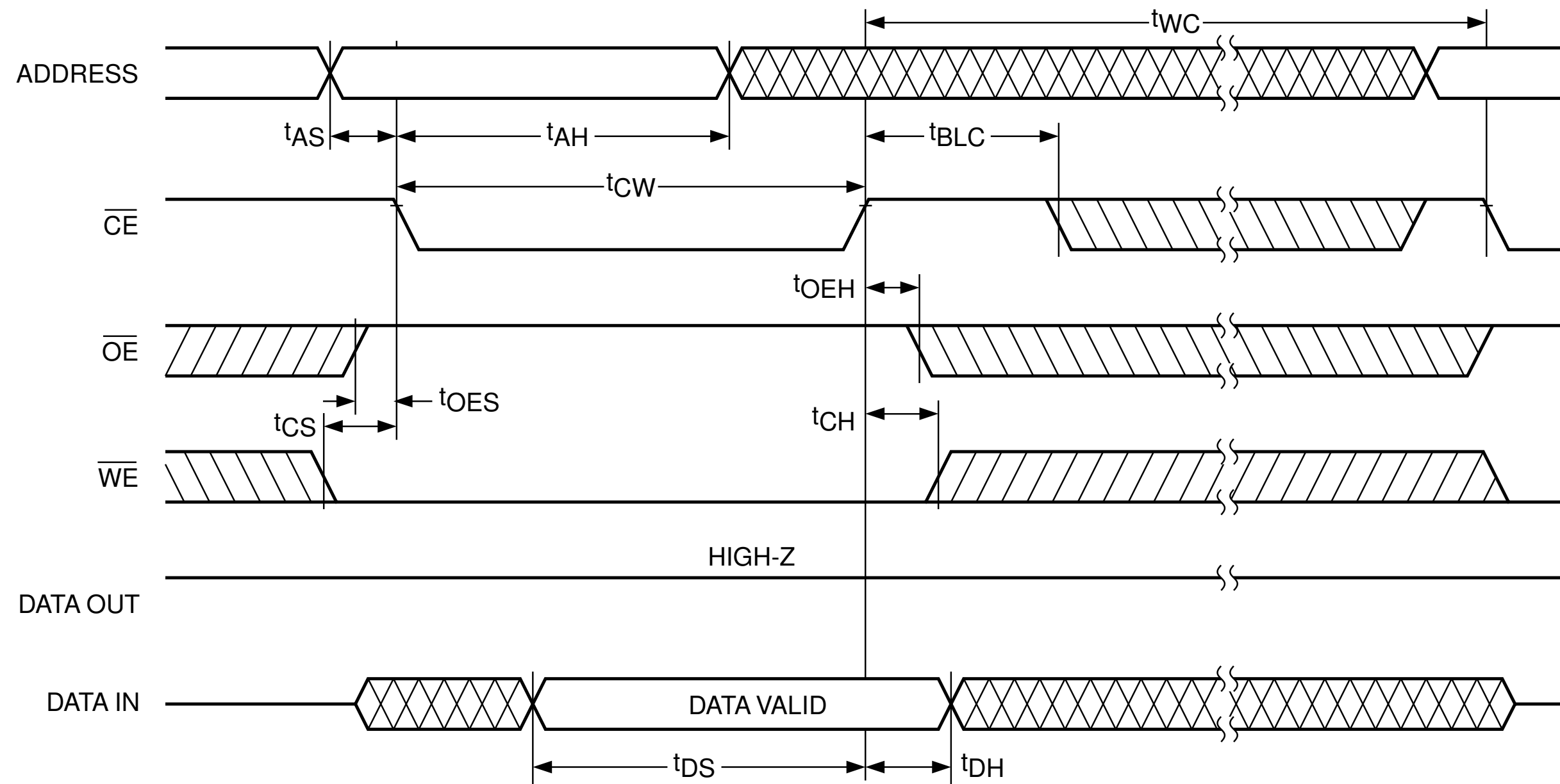
Olvasás E²PROM-ból



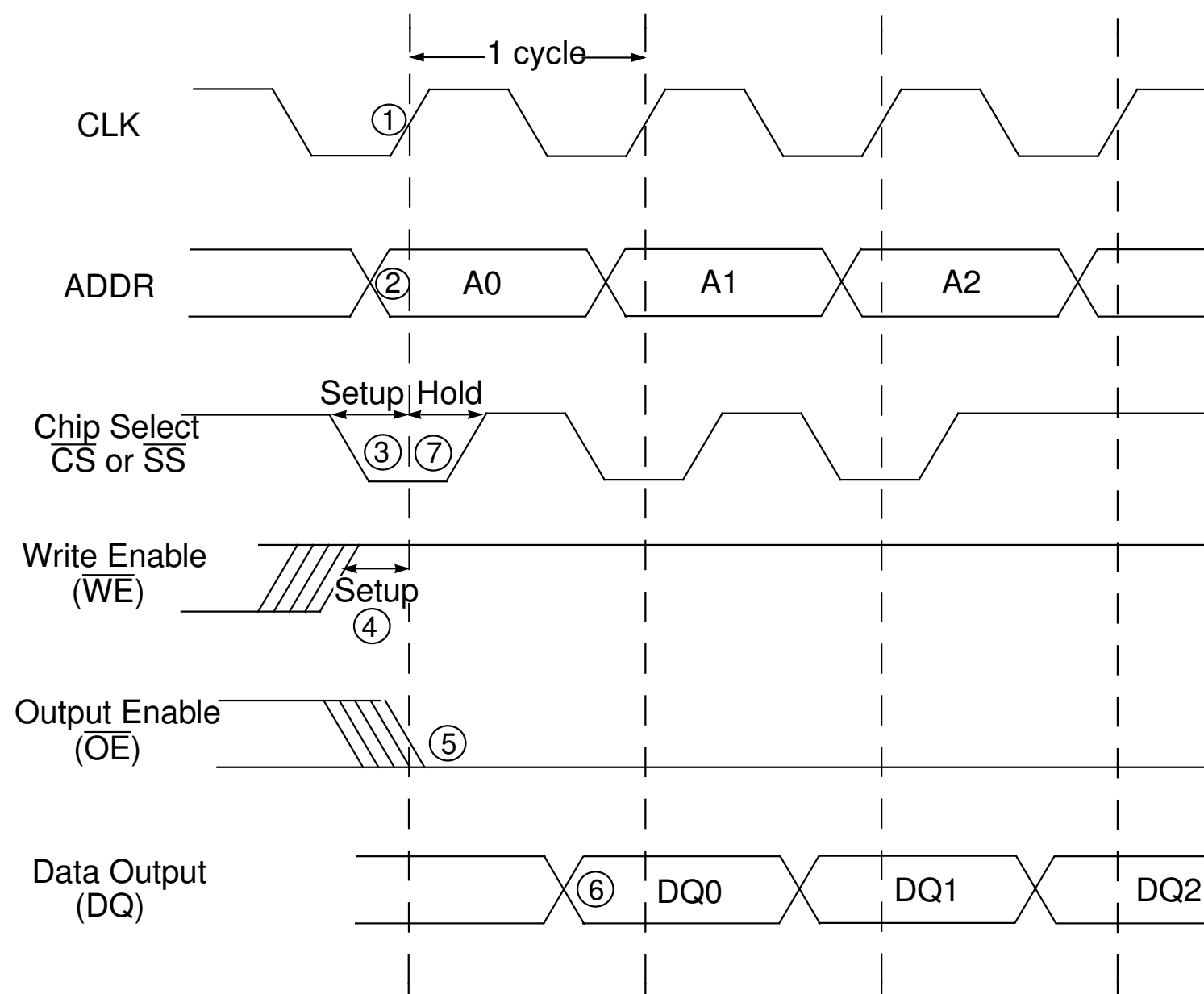
Írás E²PROM-ba 1.



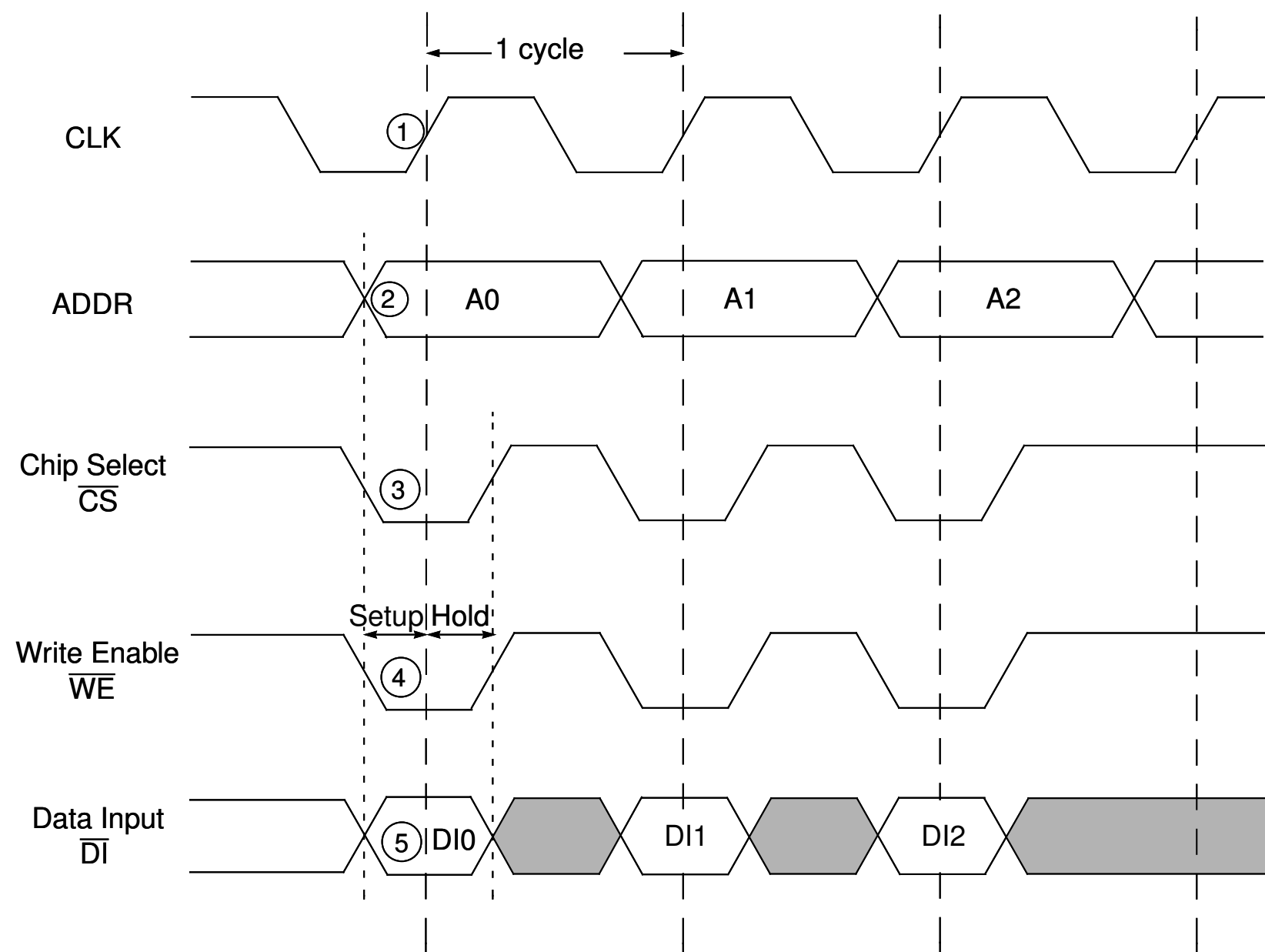
Írás E²PROM-ba 2.



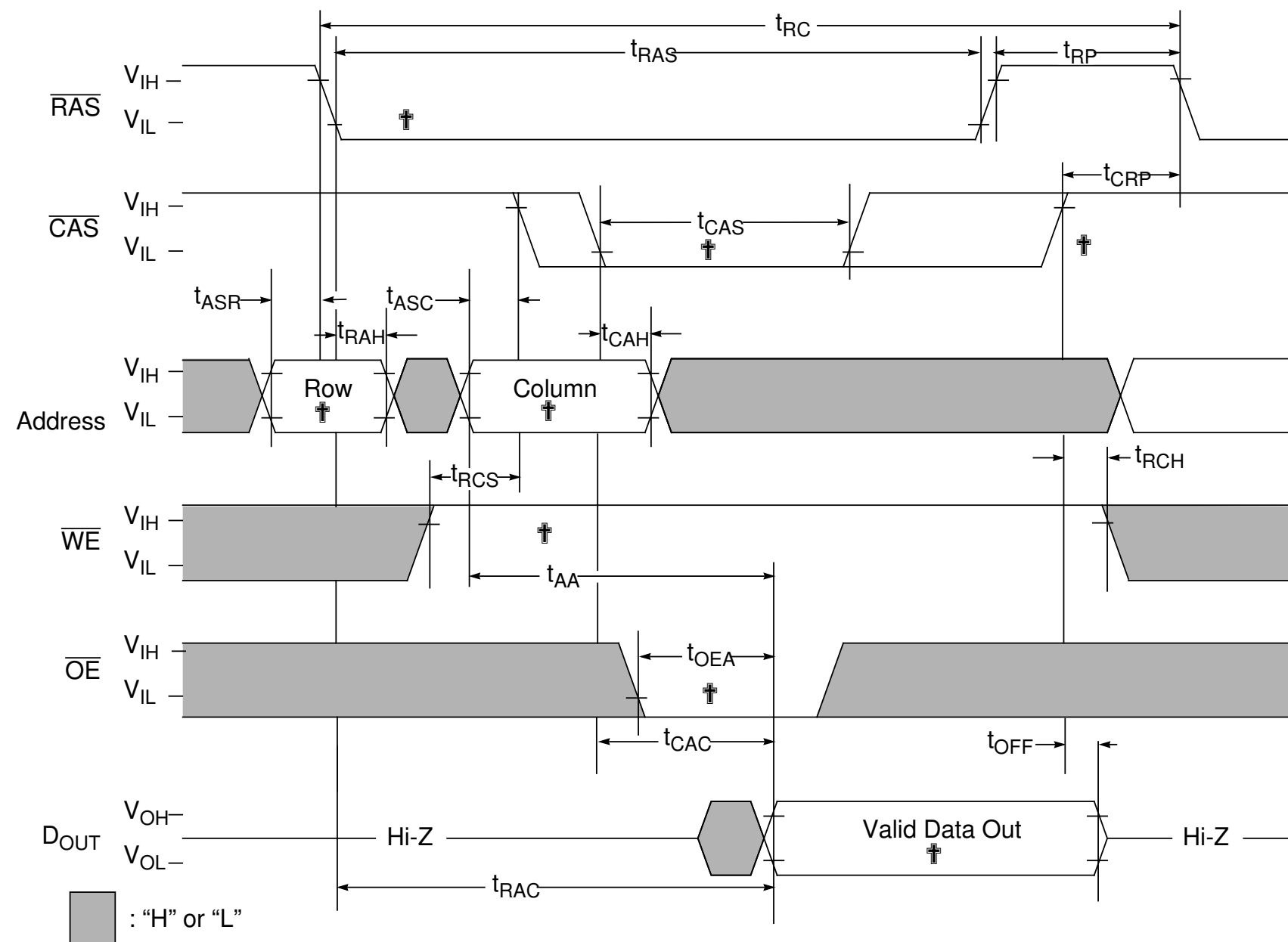
Olvasás SRAM-ból



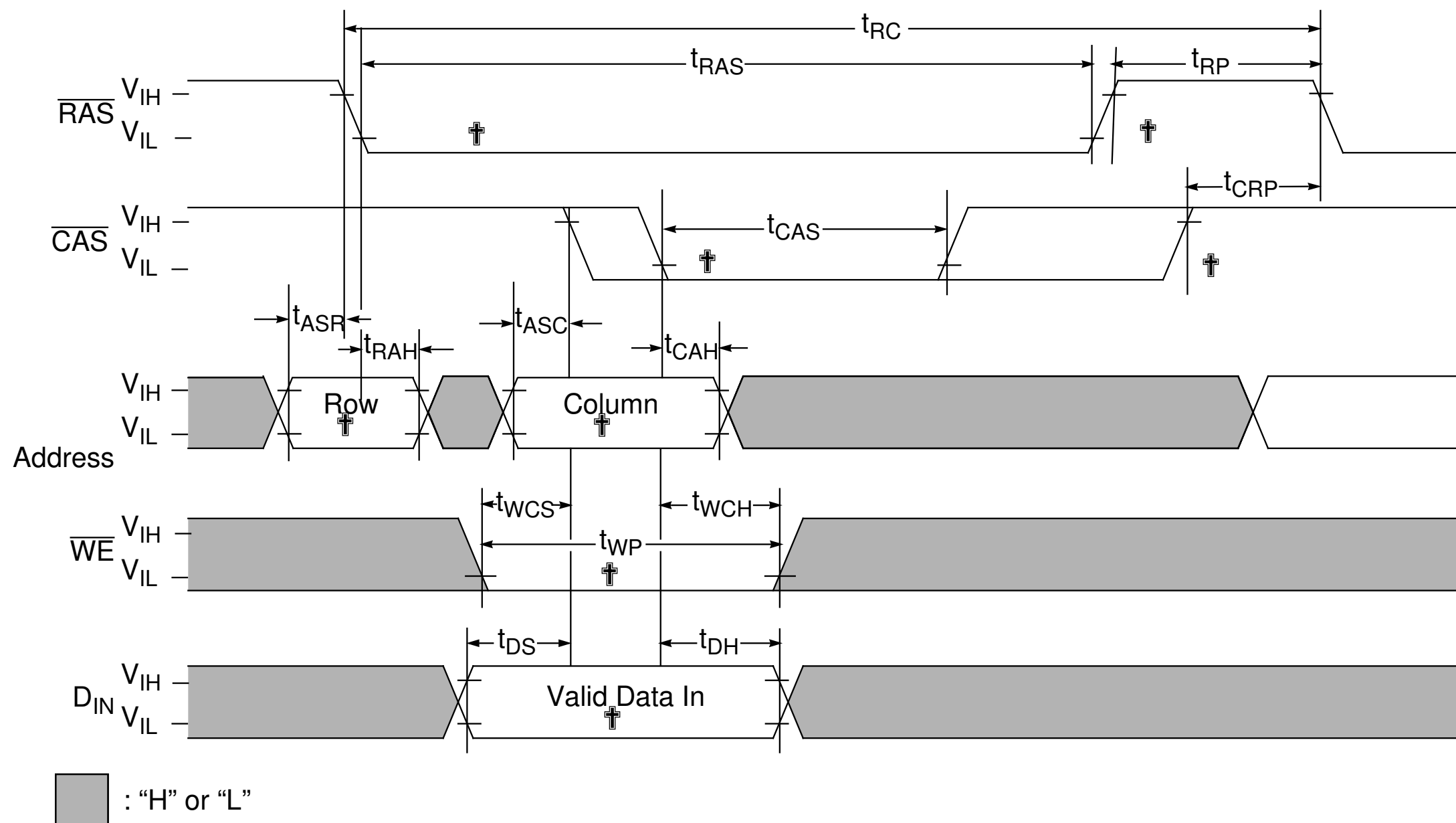
Írás SRAM-ba



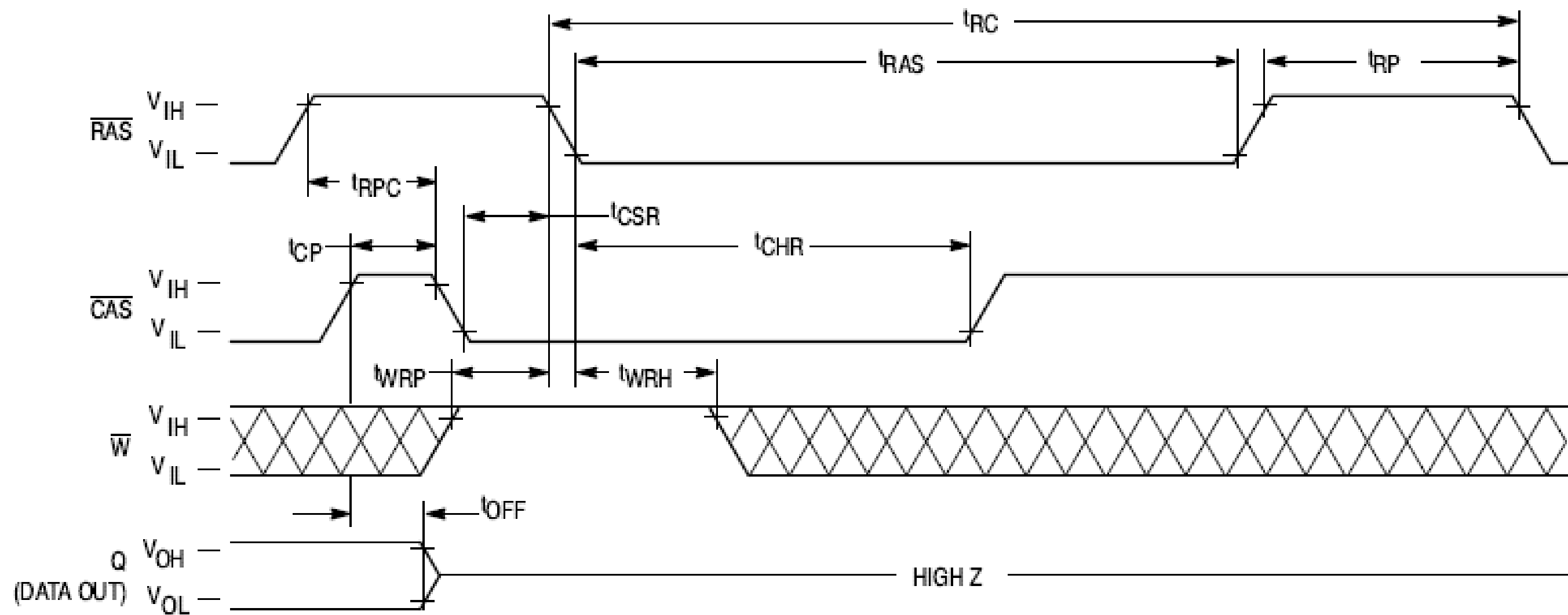
Olvasás DRAM-ból



Írás DRAM-ba



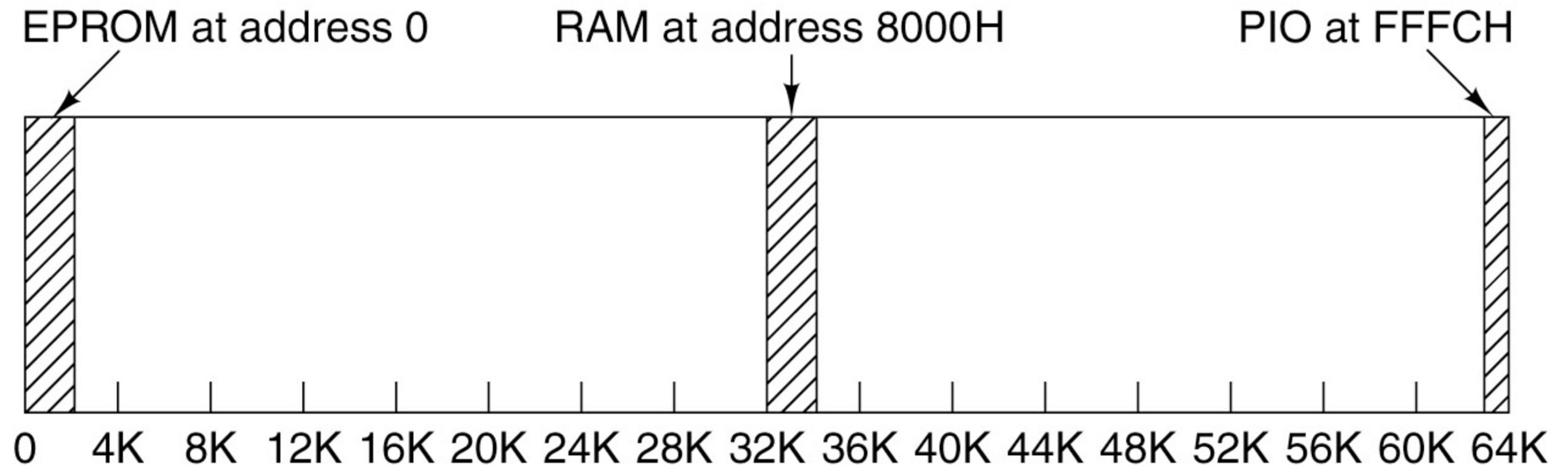
DRAM frissítése



Memória címdekódolás

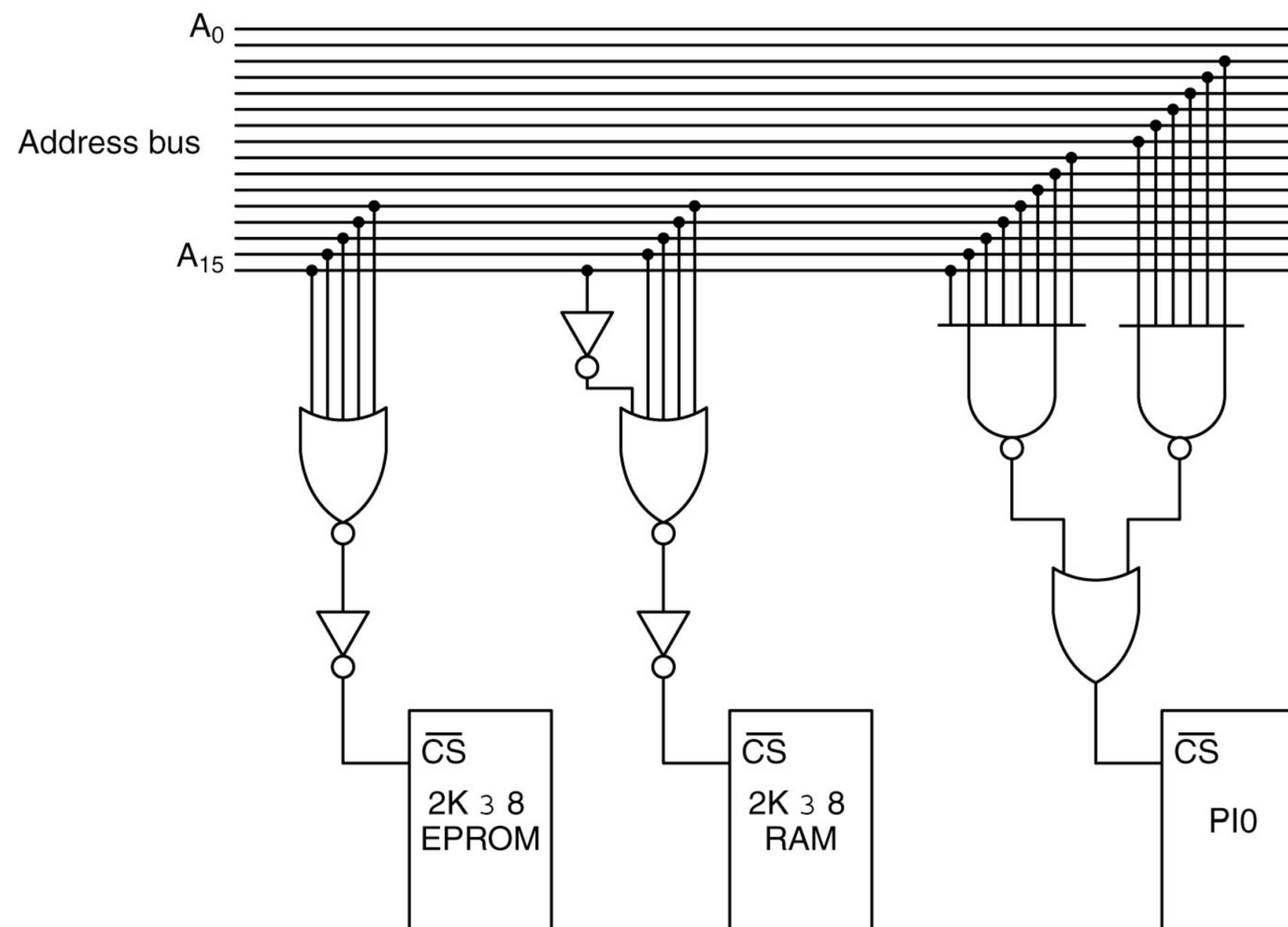
Címdekódolás

Példa



Címdekódolás

Teljes



Címdekódolás

Részleges

